

Curriculum Vitae

Antonio Mastrandrea

Indice

1	Informazioni generali	1
2	Attività di ricerca	2
3	Partecipazione a progetti di ricerca finanziati	2
4	Partecipazione a corsi	3
5	Partecipazione a corsi universitari durante il dottorato	3
6	Attività didattica	3
7	Pubblicazioni e presentazioni a convegni	5

1 Informazioni generali

Dati anagrafici

Nome: Antonio Mastrandrea
Luogo e data di nascita:
Residenza:
Domicilio:
Telefono:
E-mail:

Titoli di studio

Luglio 2010 - Ha conseguito con lode la Laurea in Ingegneria Elettronica presso l'Università degli Studi di Roma "*La Sapienza*", discutendo una tesi dal titolo "SVILUPPO DI MODELLI STATISTICI DI RITARDO DI CELLE STANDARD IN TECNOLOGIE NANO-CMOS", relatore Prof. M.Olivieri.

Marzo 2014 - Ha conseguito il Dottorato di Ricerca in Ingegneria Elettronica presso l'Università degli Studi di Roma "*La Sapienza*", discutendo una tesi dal titolo "STATISTICAL CHARACTERIZATION, ANALYSIS AND MODELING OF SPEED PERFORMANCE IN DIGITAL STANDARD CELL DESIGNS SUBJECT TO PROCESS VARIATIONS".

Attuale posizione

da Dicembre 2014 - è assegnista di Ricerca in Ingegneria Elettronica presso il Dipartimento di Ingegneria Elettronica dell'Università degli Studi di Roma "*La Sapienza*".

Precedenti posizioni

da Dicembre 2013 a Novembre 2014 - è stato assegnista di Ricerca in Ingegneria Elettronica presso il Dipartimento di Ingegneria Elettronica dell'Università degli Studi di Roma "*La Sapienza*" quale vincitore di assegno di ricerca dal titolo "Caratterizzazione delle probabilità di failure di celle digitali in tecnologie CMOS e FINFET nanometriche" (settore disciplinare ING-INF/01).

da Novembre 2010 a Novembre 2013 - è stato studente di Dottorato di Ricerca in Ingegneria Elettronica presso il Dipartimento di Ingegneria Elettronica dell'Università degli Studi di Roma "*La Sapienza*", relatore Prof. M.Olivieri.

Marzo-Maggio 2004 - si è occupato della riduzione della potenza consumata nella cache dati dei microprocessori in uno stage presso l'ST Microelectronics di Catania.

2 Attività di ricerca

L'attività di ricerca svolta riguarda le problematiche relative alla progettazione di sistemi CMOS digitali su singolo chip, con particolare riferimento ai sistemi per applicazione dedicata (sistemi embedded) per alte prestazioni.

Tale ricerca trova le sue motivazioni nella sempre più grande diffusione dei sistemi a microprocessore dedicati e alla integrazione di dispositivi digitali caratterizzati da prestazioni e capacità di calcolo rapidamente crescenti.

L'evoluzione tecnologica, infatti, ha permesso un incremento notevole della densità di integrazione di dispositivi (numero di transistor per unità di superficie), consentendo l'integrazione di un numero molto elevato di unità funzionali. Questa integrazione è accompagnata da una sempre maggiore, e spesso dominante, problematica progettuale relativa al consumo di potenza.

Gli ambiti della ricerca svolta riguardano in particolare i seguenti punti:

- Modelli di ritardo per porte logiche CMOS in tecnologie nanometriche.

2.1 Modelli di ritardo per porte logiche CMOS in tecnologie nanometriche

L'evoluzione tecnologica delle porte CMOS ha portato, quando si scende a dimensioni nanometriche, alla riduzione della utilità delle simulazioni tradizionali corner-based a favore di analisi di tipo statistico.

L'oggetto della ricerca del dr. Mastrandrea è la caratterizzazione statistica delle celle standard tramite modelli computazionalmente meno onerosi di quelli tradizionali, effettuati con analisi di tipo Monte-Carlo.

Basandosi sulla definizione di "logical driver", il modello proposto calcola il ritardo di una porta soggetta allo swithing di un ingresso, associando a tale logical driver un modello circuitale di tipo RC. L'idea di base è quella di mappare le variazioni statistiche di grandezze fisiche del transistor (lunghezza, larghezza, spessore dell'ossido, drogaggio) in variazioni statistiche dei parametri del modello di ritardo proposto. Una volta effettuata tale mappatura per l'insieme di celle logiche standard, per mezzo di simulazioni a livello circuitale, è possibile utilizzare il modello per simulare i ritardi di circuiti integrati complessi in modo molto più veloce.

Tale attività è inserita nell'ambito del progetto europeo MODERN - "MOdeling and DEsign of Reliable, process variation-aware Nanoelectronic devices, circuits and systems".

3 Partecipazione a progetti di ricerca finanziati

L'ing. Mastrandrea ha partecipato ai seguenti progetti di ricerca finanziati:

Progetto Europeo MODERN (MOdeling and DEsign of Reliable, process variation-aware Nanoelectronic devices, circuits and systems), della Joint Technology Undertaking ENIAC nell'ambito del 7° Programma Quadro, iniziato a Marzo 2009. Fra gli altri partner: Politecnico di Torino, STMicroelectronics

SA, Infineon Technologies Austria AG, Delft University of Technology, Graz University of Technology.
Durata 36 mesi.

Oggetto del progetto è la realizzazione di modelli di dispositivi nano-elettronici che tengano in considerazione le sensibili variazioni dei parametri tecnologici che si verificano in tecnologie nanometriche.

4 Partecipazione a corsi

30 novembre 2010: Intel Software Development Products

25-27 gennaio 2011: Caspur - Corso Ottimizzazione di codici scientifico-tecnici

2-4 novembre 2011: Caspur - GPU Programming

5 Partecipazione a corsi universitari durante il dottorato

marzo-giugno 2011: Ingegneria degli Algoritmi - Prof. Camil Demetrescu

ottobre-dicembre 2011: Matematica discreta – Prof. Paolo Maroscia

6 Attività didattica

Il dr. Mastrandrea ha svolto attività di supporto al Prof. Olivieri e al Prof. Menichelli durante i loro corsi:

Nell'anno accademico 2010/2011 Ha supportato le esercitazioni di “Laboratorio di Architetture dei Sistemi Digitali” facente parte del corso di Laurea Specialistica in Ingegneria Elettronica presso l'Università degli Studi di Roma “*La Sapienza*”.

Nell'anno accademico 2011/2012 ha tenuto delle lezioni sul VHDL relative al corso “Architetture dei Sistemi Digitali” facente parte del corso di Laurea Specialistica in Ingegneria Elettronica presso l'Università degli Studi di Roma “*La Sapienza*”. Ha supportato le esercitazioni di “Laboratorio di Architetture dei Sistemi Digitali” facente parte del corso di Laurea Specialistica in Ingegneria Elettronica presso l'Università degli Studi di Roma “*La Sapienza*”. Ha tenuto delle lezioni sui microcontrollori PIC della Microchip relative al corso di “Elettronica Digitale” facente parte del corso di Laurea Magistrale in Ingegneria Elettronica presso l'Università degli Studi di Roma “*La Sapienza*”.

Nell'anno accademico 2012/2013 ha tenuto delle lezioni sul VHDL relative al corso “Architetture dei Sistemi Digitali” facente parte del corso di Laurea Specialistica in Ingegneria Elettronica presso l'Università degli Studi di Roma “*La Sapienza*”. Ha supportato le esercitazioni di “Laboratorio di Architetture dei Sistemi Digitali” facente parte del corso di Laurea Specialistica in Ingegneria Elettronica presso l'Università degli Studi di Roma “*La Sapienza*”. Ha tenuto delle lezioni sui microcontrollori PIC della Microchip relative al corso di “Elettronica Digitale” facente parte del corso di Laurea Magistrale in Ingegneria Elettronica presso l'Università degli Studi di Roma “*La Sapienza*”.

Nell'anno accademico 2013/2014 ha tenuto delle lezioni sul VHDL relative al corso "Architetture dei Sistemi Digitali" facente parte del corso di Laurea Specialistica in Ingegneria Elettronica presso l'Università degli Studi di Roma "La Sapienza". Ha supportato le esercitazioni di "Laboratorio di Architetture dei Sistemi Digitali" facente parte del corso di Laurea Specialistica in Ingegneria Elettronica presso l'Università degli Studi di Roma "La Sapienza". Ha tenuto delle lezioni sui microcontrollori PIC della Microchip relative al corso di "Elettronica Digitale" facente parte del corso di Laurea Magistrale in Ingegneria Elettronica presso l'Università degli Studi di Roma "La Sapienza".

Nell'anno accademico 2014/2015 ha tenuto delle lezioni sul VHDL relative al corso "Architetture dei Sistemi Digitali" facente parte del corso di Laurea Specialistica in Ingegneria Elettronica presso l'Università degli Studi di Roma "La Sapienza". Ha tenuto delle lezioni sui microcontrollori PIC della Microchip relative al corso di "Elettronica Digitale" facente parte del corso di Laurea Magistrale in Ingegneria Elettronica presso l'Università degli Studi di Roma "La Sapienza".

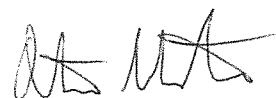
Nell'anno accademico 2015/2016 ha tenuto il corso di "Programmazione di Sistemi Digitali" facente parte del corso di Laurea Specialistica in Ingegneria Elettronica presso l'Università degli Studi di Roma "La Sapienza". Ha tenuto delle lezioni sul VHDL relative al corso "Architetture dei Sistemi Digitali" facente parte del corso di Laurea Specialistica in Ingegneria Elettronica presso l'Università degli Studi di Roma "La Sapienza". Ha tenuto delle lezioni sui microcontrollori PIC della Microchip relative al corso di "Elettronica Digitale" facente parte del corso di Laurea Magistrale in Ingegneria Elettronica presso l'Università degli Studi di Roma "La Sapienza".

7 Pubblicazioni e presentazioni a convegni

- [1] M. Olivieri and A. Mastrandrea, "Logic drivers: A propagation delay modeling paradigm for statistical simulation of standard cell designs," *Very Large Scale Integration (VLSI) Systems, IEEE Transactions on*, vol. PP ISSUE: 99, July 10 2013. ISSN : 1063-8210
- [2] M. Olivieri and A. Mastrandrea, "A general design methodology for synchronous early-completion-prediction adders in nano-cmos dsp architectures," *VLSI Design Hindawi Publishing Corporation*, vol. 2013, p. 2, 2013
- [3] A. Mastrandrea, F. Menichelli, and M. Olivieri, "A delay model allowing nano-cmos standard cells statistical simulation at the logic level," in *Ph. D. Research in Microelectronics and Electronics (PRIME), 2011 7th Conference on*, pp. 217–220, IEEE, 2011
- [4] M. Olivieri and A. Mastrandrea, "A new logic level delay modeling paradigm for nano-cmos standard cells variation-aware simulation," March 16 2012. Dresden, Germany
- [5] M. Olivieri and A. Mastrandrea, "A new logic-level delay modeling paradigm for nano-cmos standard cells variation-aware simulation," 20 - 22 Giugno 2012
- [6] M. Olivieri, F. Menichelli, M. A., F. Ramundo, and P. Nenzi, "Contributions in evaluating the statistical impact of technology variations on delay and power dissipation of logic cells," in *ECMI 2010, 16-th European Conference on Mathematics for Industry*, July 26-30 2010. Wuppertal, Germany
- [7] P. Nenzi, R. Larice, M. Mastrandrea, Antonio and Olivieri, S. Perticaroli, F. Ramundo, L. Sainte-Cluque, L. Trajkovic, and H. Vogt, "Ngspice: an open platform for modeling and simulation from device to board level," 8 December 2010. California MOS-AK
- [8] Z. Abbas, A. Mastrandrea, and M. Menichelli, Antonio and Olivieri, *SPICE Simulations of Digital VLSI Cells (Chapter 7)*. Springer. in press
- [9] U. Khalid, A. Mastrandrea, and M. Olivieri, "Combined impact of nbtI aging and process variations on noise margins of flip-flops," in *Digital System Design (DSD), 2014 17th Euromicro Conference on*, pp. 488–495, IEEE, 2014
- [10] U. Khalid, A. Mastrandrea, and M. Olivieri, "Novel approaches to quantify failure probability due to process variations in nano-scale cmos logic," in *Microelectronics Proceedings-MIEL 2014, 2014 29th International Conference on*, pp. 371–374, IEEE, 2014
- [11] U. Khalid, A. Mastrandrea, and M. Olivieri, "Safe operation region characterization for quantifying the reliability of cmos logic affected by process variations," in *Microelectronics and Electronics (PRIME), 2014 10th Conference on Ph. D. Research in*, pp. 1–4, IEEE, 2014
- [12] U. Khalid, A. Mastrandrea, and M. Olivieri, "Using safe operation regions to assess the error probability of logic circuits due to process variations," in *Integrated Reliability Workshop Final Report (IRW), 2013 IEEE International*, pp. 177–180, IEEE, 2013
- [13] Z. Abbas, A. Mastrandrea, and M. Olivieri, "A voltage-based leakage current calculation scheme and its application to nanoscale mosfet and finfet standard-cell designs," *Very Large Scale Integration (VLSI) Systems, IEEE Transactions on (Volume:22 , Issue: 12)*, vol. 22, pp. 2549 – 2560, Dec. 2014. ISSN : 1063-8210

Roma, 3 agosto 2016

Autorizzo il trattamento dei dati personali ai sensi del D. lgs. 196/03

A handwritten signature in black ink, consisting of two distinct parts. The first part is a stylized, cursive initial, possibly 'AS'. The second part is a more complex, flowing signature that ends with a long horizontal stroke.