

Decreto Rettoriale Università di Roma "La Sapienza" n. 1680/2024 DEL 09.07.2024

MAURO OLIVIERI

Curriculum Vitae

Roma, 26 Luglio 2024

FIRMATO MAURO OLIVIERI

.....

SOMMARIO DEI CONTENUTI

Parte I – Informazioni Generali

Parte II – Formazione

Parte III – Posizioni accademiche ricoperte

Parte IV – Esperienza didattica

- a) Seminari invitati ed esercitazioni
- b) Docenze a contratto presso Università di Genova
- c) Docenze per titolarità o affidamento presso Sapienza Università di Roma
- d) Docenze invitate presso post-graduate Summer School internazionali
- e) Pubblicazione di testi didattici adottati nelle Università italiane

Parte V – Attività di ricerca

- a) Attività svolta presso l'Università di Genova (1992 – 1998)
- b) Attività svolta presso l'Università di Roma La Sapienza (1998 – attuale)
- c) Attività svolta presso il Barcelona Supercomputing Center (2018-attuale)

Parte VI – Sommario dei risultati bibliometrici

Parte VII - Responsabilità di progetti di ricerca finanziati su bando da istituzioni pubbliche nazionali ed internazionali

Parte VIII - Realizzazione di attività progettuale relativamente al settore concorsuale 09/E3 e attività di "Terza Missione"

Parte IX – Organizzazione, direzione e coordinamento di gruppi di ricerca nazionali e internazionali

Parte X – Partecipazione in qualità di relatore (su invito o su selezione mediante peer-review) a congressi, convegni e scuole di interesse internazionale

Parte XI – Premi e riconoscimenti internazionali

Parte XII – Relatore di tesi di dottorato di ricerca;

Parte XIII – Responsabilità scientifica di ricercatori post-doc/assegnisti di ricerca;

Parte XIV – Partecipazione a consigli scientifici di enti nazionali o internazionali

Parte XV – Attività in congressi, riviste e comitati scientifici

- a) Attività organizzativa di congressi, convegni e scuole di interesse internazionale
- b) Attività editoriali di coordinamento in riviste internazionali di rilievo di interesse del SSD
- c) Partecipazione a comitati scientifici di riviste e di congressi

Parte XVI – Attività universitarie istituzionali e gestionali, incluse cariche elettive

Appendice – Elenco di tutte le pubblicazioni

Parte I – Informazioni Generali

Nome e Cognome	Mauro Olivieri
Data di Nascita	
Luogo di nascita	Genova
Cittadinanza	Italiana
Residenza	
Tel. Cellulare	
E-mail	mauro.olivieri@uniroma1.it
Lingue parlate	Italiano, Inglese (professionale), Spagnolo (elementare)

Parte II – Formazione

Tipo	Anno	Istituzione	Titolo
Laurea v.o.	1991	Universita' di Genova	Laurea in Ingegneria Elettronica V.O., 110 e Lode
Dottorato	1995	Universita' di Genova	Dottorato di Ricerca in Ingegneria Elettronica e Informatica

Parte III – Posizioni accademiche ricoperte

Da	a	Istituzione	Posizione
01/11/1995	31/10/1998	Universita' di Genova	Ricercatore Universitario
01/11/1998	attuale	Sapienza Universita' di Roma	Professore Associato

Parte IV – Esperienza didattica

a) Seminari invitati ed esercitazioni

Anni accademici	Istituzione	Attività didattica
da 1992/93 a 1995/96	Università di Genova	15 seminari didattici su Circuiti e Sistemi Digitali Asincroni .
1994	Università di Milano	Seminario invitato su Circuiti VLSI asincroni e delay insensitive presso il Dipartimento di Scienza dell' Informazione dell' Università di Milano
da 1995/96 a 1997/98	Università di Genova	Esercitazioni per l'Insegnamento di Elettronica Applicata 2 , SSD ING-INF/01, per il Diploma Universitario in Ingegneria Elettronica
da 1995/96 a 1997/98	Università di Genova	Esercitazioni per l'Insegnamento di Elettronica Applicata , SSD ING-INF/01, per la Laurea in Ingegneria Elettrica

b) Docenze a contratto in qualità di esperto della materia presso Università di Genova

Anni accademici	Istituzione	Attività didattica
1994/95	Università di Genova	Insegnamento di Elettronica Applicata 2 , SSD ING-INF/01, per il Diploma Universitario in Ingegneria Elettronica, Docenza a contratto.
da 2005/06 a 2009/10	Università di Genova	Insegnamento di Progetto di Microcircuiti 1 (5 CFU), SSD ING-INF/01, Laurea Magistrale in Ingegneria Elettronica – Incarico a titolo gratuito

c) Docenze per titolarita' e affidamento presso Sapienza Universita' di Roma

Anni accademici	Istituzione	Attivita' didattica
1998/99	Sapienza Universita' di Roma	Insegnamento di Elettronica , SSD ING-INF/01, quinto anno dei Corsi di Laurea in Ingegneria dei Materiali ed Ingegneria Nucleare
da 1998/99 a 2000/01	Sapienza Universita' di Roma	Insegnamento di Microelettronica , SSD ING-INF/01, quinto anno del Corso di Laurea in Ingegneria Elettronica
2004/05	Sapienza Universita' di Roma	Insegnamento di Laboratorio di Architetture dei Sistemi Integrati (5 CFU), SSD ING-INF/01, secondo anno del Corso di Laurea Specialistica in Ingegneria Elettronica
da 2000/01 a 2010/11	Sapienza Universita' di Roma	Insegnamento di Elettronica Digitale (5 CFU), SSD ING-INF/01, terzo anno del Corso di Laurea di primo livello in Ingegneria Elettronica
da 2000/01 a 2010/11	Sapienza Universita' di Roma	Insegnamento di Architetture dei Sistemi Integrati 1° modulo (5 CFU), SSD ING-INF/01, secondo anno del Corso di Laurea Specialistica in Ingegneria Elettronica
da 2000/01 a 2010/11	Sapienza Universita' di Roma	Insegnamento di Architetture dei Sistemi Integrati 2° modulo (5 CFU), SSD ING-INF/01, al secondo anno del Corso di Laurea Specialistica in Ingegneria Elettronica
da 2011/12 a 2016/17	Sapienza Universita' di Roma	Insegnamento di Architetture di Sistemi Integrati (9 CFU), SSD ING-INF/01, primo anno del Corso di Laurea Magistrale in Ingegneria Elettronica
da 2011/12 ad oggi	Sapienza Universita' di Roma	Insegnamento di Elettronica Digitale (6 CFU), SSD ING-INF/01, terzo anno del Corso di Laurea di primo livello in Ingegneria Elettronica
da 2017/18 a 2020/21	Sapienza Universita' di Roma	Insegnamento di Digital Integrated System Architectures (9 CFU), SSD ING-INF/01, erogato in lingua inglese, primo anno del Corso di Laurea Magistrale in Ingegneria Elettronica.
da 2021/22 ad oggi	Sapienza Universita' di Roma	Insegnamento di Digital Integrated System Architectures (6 CFU), SSD ING-INF/01, erogato in lingua inglese, primo anno del Corso di Laurea Magistrale in Ingegneria Elettronica. (L'insegnamento e' da 9 CFU e include 3 CFU di

da 2022/23 ad oggi

Sapienza Università
di Roma

esercitazioni di laboratorio a supporto, erogati da un Ricercatore che collabora con il prof. Olivieri).

Insegnamento di Digital Integrated System Architectures II (6 CFU), SSD ING-INF/01, erogato in lingua inglese, secondo anno del Corso di Laurea Magistrale in Ingegneria Elettronica. L'insegnamento include anche una parte di attività progettuale degli studenti, sotto la guida del prof. Olivieri.

d) Docenze invitate presso post-graduate Summer School internazionali

- Lecturer presso la ACM Europe Summer School on High Performance Computing Architectures for Artificial Intelligence and Dedicated Applications, Barcellona, Spagna, 17-24 Luglio 2019
- Lecturer presso la ACM Europe Summer School on High Performance Computer Architectures for Artificial Intelligence and Dedicated Applications, Evento Online causa pandemia Covid-19, 30 Agosto - 3 Settembre 2021
- Lecturer presso la ACM Europe Summer School on High Performance Computing Architectures for Artificial Intelligence and Dedicated Applications, Barcellona, Spagna, 29 Agosto – 2 Settembre 2022
- Lecturer presso la ACM Europe Summer School on High Performance Computing Architectures for Artificial Intelligence and Dedicated Applications, Barcellona, Spagna, 2-7 Luglio 2023

e) Pubblicazione di testi didattici adottati nelle Università' italiane

- M. Olivieri, *Elementi di Progettazione dei Sistemi VLSI – Volume I: Introduzione all'Elettronica Digitale*, Ed. EDISES, Napoli, 2004. Pagine 319.
- M. Olivieri, *Elementi di Progettazione dei Sistemi VLSI – Volume II: Architetture, Circuiti e Metodi*, Ed. EDISES, Napoli, 2005. Pagine 505.
- M. Olivieri, L. Giancane, *Elementi di Progettazione dei Sistemi VLSI – Volume III: Esercizi di progetto*, Ed. EDISES, Napoli, 2010. Pagine 392.

Parte V – Attivita' di ricerca

(i riferimenti rimandano all'elenco delle pubblicazioni scientifiche riportato in appendice)

a) Attivita' svolta presso l'Universita' di Genova (1992 – 1998)

Sistemi digitali integrati basati su temporizzazione asincrona (self-timed)

La ricerca condotta dall'ing. Olivieri ha inizialmente prodotto un sistema di sintesi automatica di circuiti asincroni delay insensitive, ovvero caratterizzati dalla proprieta' di funzionare correttamente indipendentemente dai ritardi di propagazione delle celle e delle interconnessioni fra di esse. L'ambiente è composto da una libreria di standard cell dedicate, un linguaggio per specificare i circuiti, un algoritmo di sintesi (implementato in un sintetizzatore ad hoc) per tradurre le specifiche in hardware, un sottosistema di piazzamento e routing basato su tool commerciali Mentor Graphics [171][73]. Un aspetto rilevante e' stato lo sviluppo di metodi di caratterizzazione elettrica per i componenti destinati a far parte di circuiti delay insensitive, alquanto diversi rispetto alle porte logiche convenzionali. Attraverso la caratterizzazione di un set completo di celle, la ricerca ha messo in luce aspetti fino ad allora ignorati quali il *looping problem* e la definizione di configurazioni critiche associate alle celle asincrone delay insensitive [10].

Successivamente l'ing. Olivieri ha studiato l'applicazione di tali tecniche al progetto di microprocessori. Un caso di studio preliminare è stato lo sviluppo di un controllore per memorie RAM dinamiche rispondente alle specifiche del componente Intel 8251. In seguito è stato sviluppato il progetto di un microprocessore asincrono basato sulle specifiche del micro-controllore ST9 in collaborazione con SGS-Thomson, oggi STMicroelectronics, e della relativa unita' di gestione degli *interrupt* producendo un incremento di velocita' di esecuzione stimato nel 12.5% e una riduzione media del 60% sul tempo di risposta agli *interrupt* [2][7][78]. E' stata inoltre progettata una versione asincrona del microcontrollore MCS251, con un consumo dinamico stimato inferiore alla versione originale e un tempo di risveglio su interrupt migliorato di un ordine di grandezza [85].

La ricerca ha inoltre permesso di esplorare approcci architetturali non convenzionali per il calcolo numerico, basati su *pipeline asincrone*, precedentemente proposte in letteratura solo per una realizzazione *full custom*. La teoria dei circuiti delay insensitive si e' rivelata utile per il progetto *automatico* di *pipeline* asincrone, usando strumenti esistenti per la sintesi di circuiti combinatori. Le prestazioni raggiunte in termini di *throughput* sono state superiori allo stato dell'arte all'epoca della loro pubblicazione [8]. Un secondo metodo è stato basato sul disegno full-custom di celle di ritardo programmabile, che consentono di tarare il circuito in fase di *testing* così da compensare effetti di layout e di variazioni tecnologiche, applicando tali celle nelle strutture a *micropipeline* di Sutherland [11].

Altri rilevanti risultati sono stati ottenuti nell'ambito degli addizionatori *self-timed*, sviluppando una nuova tecnica di addizione derivata dal principio del *Carry Lookahead*. L'ing. Olivieri ha sviluppato la dimostrazione analitica del metodo e una possibile realizzazione VLSI, che supera in prestazioni gli addizionatori esistenti con un costo circuitale inferiore alla tipica struttura ad albero completo di *Carry Lookahead* [12]. Il metodo e' divenuto un riferimento nella comunita' internazionale attiva sulla progettazione asincrona ed e' stato ancora citato a oltre 20 anni di distanza.

Architetture di microprocessori general purpose

Nell'ambito dei processori *general purpose*, l'ing. Olivieri ha contribuito allo sviluppo di un metodo di valutazione prestazionale di microprocessori superscalari basato su approccio statistico anziche' simulativo

deterministico. Il sistema è stato valutato sul set di benchmark internazionali Spec95 con buoni risultati [83][84]. Sullo stesso filone, ha direttamente svolto e ha contribuito alla coordinazione dell'attività del DIBE nell'ambito del progetto FP4 Esprit OMI n. 20761 "ASCISSA", (Adopting SCI and SSA interconnects in advanced microprocessor based PC servers), collaborando con Olivetti, IBM-UK, SGS-Thomson, Dolphin Interconnect (Norvegia), Performance Research S.r.l. (Ivrea), Univ. di Oslo, e Politecnico di Torino. Target del progetto era un'architettura di PC server multiprocessore organizzata a cluster, basata su tecnologie di interconnessione innovative. L'attività specifica ha riguardato lo sviluppo di modelli analitici dell'intero sistema di calcolo allo scopo di fornire previsioni delle prestazioni [82].

Architetture digitali per l'accelerazione computazionale di applicazioni specifiche

L'attività dell'ing. Olivieri in questo settore ha prodotto inizialmente il progetto di un ASIC che implementa l'unità di elaborazione per una architettura ad elevato parallelismo dedicata all'algoritmo neurale noto come *macchina di Boltzmann* [74], precorrendo di 25 anni l'avvento degli acceleratori neurali. Successivamente il lavoro ha riguardato lo studio di soluzioni architetture basate sul modello della macchina di Boltzmann per applicazioni di CAD e problemi di ottimizzazione combinatoria [3][6][5][9].

Ha inoltre sviluppato uno studio circa l'applicabilità di un modello architetture asincrono per il controllo globale di una macchina di Boltzmann costituita da un numero molto elevato di processori organizzati secondo uno schema MIMD. L'utilizzazione di una architettura di controllo distribuita e asincrona è risultata particolarmente efficace [14].

L'ing. Olivieri ha partecipato ad un progetto di ricerca riguardante architetture dedicate all'elaborazione di immagini ecografiche. La ricerca, in collaborazione con l'industria ESAOTE Biomedica, si è focalizzata sull'implementazione di algoritmi all'epoca innovativi per un sistema *color doppler*, per la stima spettrale su architetture digitali dedicate, con il vincolo di un basso numero di osservazioni a disposizione. Si è implementato il metodo su di una architettura composta da 64 processori DSP, e si è fatta una valutazione di costi e vantaggi di una architettura basata su ASIC [1][7].

L'ing. Olivieri ha inoltre partecipato alla ricerca nel campo delle architetture parallele non omogenee a grana fine (parallelismo a livello di istruzioni) dedicate a particolari domini di applicazione. Le applicazioni trattate sono state l'esecuzione di programmi di calcolo simbolico, e la simulazione VHDL parallela, nell'ambito del progetto Europeo Esprit 6498 "CHESS" (A MIPS cruncher for a distributed concurrent heterogeneous simulation system) [72][67][75][76].

Un'attività successiva ha riguardato la progettazione di architetture dedicate all'esecuzione di algoritmi di controllo basati sulla *fuzzy logic*. Un primo progetto è stato basato sulla introduzione a livello micro-architettura di unità atte a memorizzare strutture dati specificamente dedicate alla logica fuzzy (operazione di inferenza), con significativi risultati prestazionali [15]. Un approccio più innovativo è stato utilizzato per un secondo progetto in cui il controllo delle operazioni, e non solo la parte operativa, viene specificamente studiata per ottimizzare l'esecuzione di algoritmi di controllo *fuzzy* [13]. In continuità con le significative precedenti esperienze, l'ing. Olivieri ha contribuito ad una pubblicazione invitata su un libro di testo internazionale [68].

Il gruppo di ricerca ha altresì sviluppato il progetto di un acceleratore ASIC per la compressione di immagini secondo la tecnica frattale, con un incremento di prestazioni di 300 volte rispetto all'esecuzione senza acceleratore [81].

b) Attivita' svolta presso l'Universita' di Roma La Sapienza (1998 – attuale)

Unita' hardware digitali aritmetiche

Proseguendo sulla linea già definita nel primo periodo di attività su questo tema, il prof. Olivieri ha sviluppato un lavoro di ricerca a livello di macro-blocco sulla realizzazione di una nuova tecnica di addizione capace di *completion-detection*, derivata dal principio del *Carry Select*. È stata trovata la dimostrazione analitica del metodo e una possibile realizzazione VLSI, che ha un tempo medio di completamento medio largamente inferiore agli addizionatori esistenti con un costo circuitale solo leggermente superiore. E' stata altresì proposta una struttura a latenza variabile riconfigurabile [18][43].

Il prof. Olivieri ha successivamente proposto una microarchitettura che si presta a realizzare moltiplicatori interi a latenza variabile, sia con temporizzazione sincrona che asincrona. L'architettura e' stata progettata dal livello di specifica in linguaggio C fino al livello di circuito CMOS, e la sua efficacia applicativa e' stata analizzata sulla base di statistiche di esecuzione dei benchmark internazionali SpecInt95. La struttura progettata risulta ampiamente superiore a qualunque moltiplicatore asincrono documentato in letteratura, e lievemente superiore ai piu' veloci moltiplicatori sincroni all'epoca allo stato dell'arte [20].

Ancora nell'ambito delle unita aritmetiche a latenza variabile, il gruppo del prof. Olivieri ha definito, sviluppato e implementato una tecnica innovativa di divisione fra numeri interi, che supera per prestazioni tutte quelle disponibili in letteratura fino all'anno 2024. La nuova soluzione progettuale e' stata sintetizzata sia su FPGA che su tecnologia FDSOI in 22 nm, ed e' stato esplorato il suo utilizzo in acceleratori vettoriali embedded. I risultati sono pubblicati su rivista [64][170].

Nell'ambito delle operazioni in virgola mobile, invece, il prof. Olivieri ha coordinato un gruppo di ricerca in collaborazione con STMicroelectronics. Il gruppo coordinato dal prof. Olivieri ha investigato una nuova tecnica approssimata di anticipazione del "leading zero", dotata di un tasso di errore talmente basso da essere compatibili con la qualita' richiesta dalle applicazioni grafiche, e quindi senza necessita' di correzione degli errori. Nessuna tecnica precedente era stata in grado di raggiungere questo risultato [34].

Unita' hardware di comunicazione

Il prof. Olivieri ha contribuito al progetto di un'unita' di comunicazione digitale rispondente alle specifiche del protocollo IEEE 1394 Firewire, in collaborazione con l'Universita' di Genova. Il macro-blocco, realizzato in VHDL come IP-core sintetizzabile, funzionava a 400 MHz in una tecnologia del 1999, costituendo la realizzazione piu' veloce di tale tipo di dispositivo al momento dello sviluppo del progetto. I risultati di questa attivita' sono stati pubblicati in [17]. Un altro risultato considerevole nello stesso ambito applicativo e' stato il modello VHDL di una rete di comunicazione basata sul protocollo IEEE 802.11, che ha consentito di fare analisi prestazionali su diverse configurazioni del protocollo [69].

Nell'ambito della ricerca industriale, il prof. Olivieri ha coordinato interamente il progetto hardware di una radio digitale per le comunicazioni voce e dati in applicazioni avioniche, in collaborazione con il Dipartimento INFOCOM dell'Universita' La Sapienza e con l'azienda Marconi Selenia. Nel progetto, sviluppato secondo lo standard militare Saturn della NATO, particolare rilievo rivestono gli aspetti di sicurezza e protezione della comunicazione. L'elaborazione digitale del segnale viene ad essere di notevolissima complessità e richiede una integrazione di competenze alquanto eterogenee. Il prototipo del progetto da 3 milioni di *gate* e' stato realizzato su FPGA e interamente testato nel sistema reale.

A livello di sistema, e' rilevante l'attivita' del gruppo coordinato dal Prof. Olivieri sulla modellazione, progettazione e realizzazione di reti wireless di sensori intelligenti (*wireless sensor network*), con particolare

riguardo all'ottimizzazione dei protocolli di comunicazione fra i nodi rispetto alla robustezza [39][41][48][131][136].

Circuiti mixed-signal digitali/analogici per sistemi integrati

Interessandosi alle prospettive future delle interfacce di comunicazione dei SoC, collaborando con esperti del settore analogico, il prof. Olivieri ha contribuito ad una attività di ricerca applicata sui circuiti per comunicazioni ottiche, dove sono state individuate alcune topologie innovative per generatori di corrente e amplificatori a larga banda. In quest'ultimo caso, è stato valutato quantitativamente un caso di studio mostrando un aumento del 160% del prodotto banda-guadagno rispetto alla semplice cella differenziale, ed un aumento del 27% rispetto ad altri circuiti proposti in letteratura [87][88][89][22].

Nel contesto dei SoC per prodotti multimediali, in collaborazione con Philips Semiconductors Zurigo, il Prof. Olivieri ha sviluppato il disegno di pompe di carica per il pilotaggio di display a cristalli liquidi (LCD), un'applicazione di grandissimo rilievo industriale. La soluzione circuitale individuata consente una riduzione drastica dei consumi [30].

Nell'ambito della cooperazione con Philips Semiconductors Zurigo, il prof. Olivieri ha coordinato lo sviluppo di un ambiente di simulazione completamente innovativo del sotto-sistema di pilotaggio di display LCD, di cui non esisteva alcun equivalente al momento della sua uscita. Il simulatore è in grado di rappresentare il risultato grafico ottenibile con diverse tecniche e parametri di pilotaggio tenendo conto di modelli circuitali dei dispositivi fisici del display [31]. L'attività è proseguita con dal progetto di una architettura mista digitale-analogica per l'implementazione della funzione di gamma correction nella visualizzazione di immagini su display LCD. L'architettura progettata è stata realizzata e trova applicazione nei prodotti Philips [33].

Sempre in collaborazione con Philips, il prof. Olivieri ha coordinato una ricerca sull'implementazione della codifica YUV delle immagini da visualizzare su display LCD, che rappresenta un approccio decisamente innovativo rispetto al corrente stato dell'arte della rappresentazione sia YUV che RGB. Il risultato porta ad una riduzione di area e potenza per una qualità di immagine invariata anche come PSNR [36].

Architetture di microprocessori

Il gruppo diretto dal prof. Olivieri porta avanti un insieme di attività di ricerca che si inquadrano nel contesto della progettazione di System-on-Chip (SoC) basati su core di microprocessori dotati di particolare *efficienza energetica*.

Il prof. Olivieri si è occupato dello studio di soluzioni micro-architetture e circuitali per il migliore compromesso fra il numero medio di istruzioni eseguibili per ciclo e il tempo di ciclo imposto dalla realizzazione circuitale. In modo particolare sono state migliorate unità per processori superscalari quali l'unità di register renaming e la logica di schedulazione dinamica delle istruzioni, notoriamente critiche per il ciclo di clock del processore [91].

Il prof. Olivieri ha inoltre condotto uno studio sull'applicazione di algoritmi genetici per l'esplorazione automatizzata dello spazio di progetto architetture di un core di microprocessore. Lo spazio di progetto è infatti caratterizzato da numerosi parametri, quali il numero e il tipo di unità funzionali, la dimensione delle memorie cache, le politiche di predizione dei salti e di schedulazione dinamica delle istruzioni, ecc., dando luogo a migliaia di possibili architetture. Con il metodo proposto, si rende automatica la scelta della configurazione architetture con le prestazioni mediamente migliori per l'applicazione di interesse, anche tenendo in conto una stima della frequenza di clock. L'approccio ha anticipato di decenni l'applicazione del *machine learning* alla progettazione elettronica [90].

Il prof. Olivieri ha sviluppato inoltre uno studio parallelo, sull'utilizzabilità del metodo del *logical effort* per dimensionare le architetture di microprocessori con il miglior compromesso fra potenza dissipata e frequenza di clock [19].

Proseguendo su tale linea di ricerca, il prof. Olivieri ha messo a punto un modello analitico delle prestazioni e dei consumi di processori, che tiene conto sia di parametri prettamente tecnologici (es. le tensioni di soglia dei transistor) sia di parametri tipicamente derivati da simulazioni architettureali (es. il numero di istruzioni eseguite mediamente per ciclo di clock). L'unione di questi due aspetti in un unico modello matematico è stato un risultato totalmente nuovo all'epoca della sua pubblicazione. Il modello, verificato per confronto con i dati disponibili su processori commerciali, porta a concludere che la microarchitettura di un processore ha un punto di ottimo per la *minimizzazione del consumo di potenza soggetta ad un vincolo di prestazioni*, definito dal numero ottimo di stadi di pipeline e dalla tensione di alimentazione. Il risultato mostra inoltre che, in molti casi tipici, stadi di pipeline estremamente brevi e tensione di alimentazione molto ridotta corrispondono al punto di ottimo [21][94][93][97][101][104]. Tale risultato ha percorso di 15 anni il progetto di microprocessori *near-threshold*, oggetto di grande interesse negli anni 2010-2020.

Un altro aspetto investigato è stata la progettazione di sotto-sistemi di temporizzazione, che nella progettazione di SoC sono un elemento critico per il corretto funzionamento. Il prof. Olivieri ha contribuito ad un lavoro teorico di modellamento della stabilità di un anello ad aggancio di fase (PLL) digitale, in collaborazione con STMicroelectronics. Nello stesso ambito, il prof. Olivieri ha collaborato ad una implementazione alternativa di rivelatori di fase e frequenza (PFD) a tre stati [16][95][98]. Il prof. Olivieri ha inoltre progettato e simulato generatori di clock totalmente digitali e sintetizzabili su diverse tecnologie, in grado di arrestare e riattivare il segnale con tempi morti ridottissimi, e di regolare automaticamente la frequenza di clock sulla base del percorso critico della microarchitettura del processore. Quest'ultima caratteristica ha percorso il tema delle architetture adattabili alle variazioni dei parametri tecnologici [92][86][29].

Sempre nel contesto dei SoC per elaborazioni multimediali, in collaborazione con STMicroelectronics, il prof. Olivieri ha coordinato un'attività di progettazione, valutazione e ottimizzazione di architetture di System-on-Chip sulla compressione di immagini Jpeg2000 e all'ottimizzazione della percezione visiva dell'utente. La soluzione indagata dal gruppo del prof. Olivieri si orienta ad architetture basate su microprocessori paralleli integrati su singolo chip, che garantiscono la completa riprogrammabilità e il riutilizzo anche in applicazioni diverse. Attraverso simulatori appositamente sviluppati, sono state considerate architetture VLIW, architetture multiprocessore e architetture vettoriali/SIMD, ottenendo una esplorazione a largo spettro quale non era disponibile in letteratura [31][109][112][117].

In collaborazione con l'università di Bologna il prof. Olivieri ha contribuito a un lavoro sulla distribuzione ottima del carico in un processore multi-core in funzione dei fenomeni di aging dei transistori [116].

Con l'avvento dell'Instruction Set aperto denominato RISC-V a partire dal 2015, il prof. Mauro Olivieri è stato fra i primi ricercatori italiani a spostare le sue attività sul nuovo fronte, sviluppando un'intera famiglia di microprocessori – denominata Klessydra – sintetizzabili su FPGA e su ASIC, compatibili con la piattaforma di System-on-Chip denominata PULPino sviluppata dall'ETH di Zurigo. Dal punto di vista accademico, la disponibilità di un eco-sistema software completamente gratuito, estendibile in maniera "custom", ha aperto la strada a prospettive di ricerca prima impossibili a causa della presenza di brevetti sui set di istruzioni più utilizzati, nonché di nuove collaborazioni con aziende del settore dei semiconduttori. I processori della famiglia Klessydra sono disponibili alla comunità scientifica e industriale su un *repository* pubblico nella forma di codice sintetizzabile *open-source* su <https://github.com/klessydra>.

I processori della famiglia Klessydra hanno tutti in comune la caratteristica base di supportare a livello hardware l'esecuzione di più *thread* in modalità interleaved, basata sulla presenza di program counter multipli. La modalità interleaved multi-threading consente una serie di ottimizzazioni a livello circuitale, in quanto viene a cadere la necessità di hardware dedicato alla gestione di conflitti sulla pipeline istruzioni del processore, essendo ogni istruzione sempre indipendente da quelle presenti negli stadi adiacenti della pipeline [148][153]. Ciò consente, potenzialmente, di ridurre al minimo indispensabile i consumi dovuti all'attività di commutazione della logica, e apre la strada alla realizzazione di pipeline con profondità logica (*logic depth*) molto ridotta e bassa tensione di alimentazione [139], come già prefigurato in via teorica nei già citati lavori pubblicati dal prof. Olivieri sin dai primi anni 2000 [21].

Il prof. Olivieri ha inoltre dimostrato un modello teorico del dimensionamento ottimo degli stadi di pipeline in una microarchitettura digitale in presenza di interconnessioni lunghe nei circuiti [52].

Unità di accelerazione computazionale integrate in processori RISC-V

La presenza sempre maggiore di *kernel* di calcolo molto pesanti nelle applicazioni *embedded* (dovuti all'avvento dell'intelligenza artificiale nei dispositivi *Internet-of-Things*), ha reso universalmente necessaria la presenza di acceleratori hardware nei microprocessori *embedded*. Il prof. Olivieri ha coordinato lo sviluppo e l'integrazione di accelerazione hardware nella famiglia dei processori Klessydra, nella forma di unità di co-processamento per il calcolo vettoriale. Questa tipologia di accelerazione hardware è mutuata ed adattata dall'esperienza acquisita dal prof. Mauro Olivieri nei progetti in ambito di High Performance Computing (HPC), in particolare nella collaborazione con il Barcelona Supercomputing Center. L'uso di tecniche di calcolo vettoriale nelle unità hardware di accelerazione dei *core* Klessydra, ha portato alla dimostrazione di una superiorità prestazionale – soprattutto in termini di efficienza energetica ed efficienza di utilizzo delle risorse hardware - rispetto ai più rappresentativi processori ed acceleratori presenti in letteratura. I confronti di velocità, consumo energetico e costo hardware sono stati dimostrati attraverso l'implementazione su FPGA e le relative misure sperimentali. La famiglia di processori Klessydra e i suddetti risultati sono stati pubblicati sulla rivista IEEE Micro [58], nello stesso numero che ha pubblicato l'ultimo processore della famiglia Power IBM e l'ultimo processore GPU Nvidia.

Un'applicazione specifica ha riguardato il porting sulle architetture vettoriali Klessydra dell'algoritmo di inferenza VGG-16, una delle reti neurali più pesanti esistenti nel panorama dell'intelligenza artificiale, dimostrando anche qui la superiorità dell'approccio proposto rispetto ad altri processori programmabili [57]. Sviluppi successivi riguardano la auto-configurazione adattativa degli acceleratori hardware in funzione dell'applicazione eseguita, sulla base di apprendimento automatico dalla storia precedente dell'esecuzione [159][160][161] sfruttando la tecnologia FPGA.

Una nuova prospettiva di ricerca riguarda lo sviluppo e l'integrazione di unità di accelerazione per il paradigma di calcolo noto come Hyper-Vector Computing, ambito nel quale il gruppo del prof. Olivieri è stato fra i primi a proporre soluzioni hardware con vantaggi prestazionali di due ordini di grandezza superiori all'esecuzione su processori scalari [169].

Modelli per la simulazione ed emulazione hardware di sistemi integrati digitali

Nell'ambito dei simulatori *instruction-level* di microprocessori, il gruppo di ricerca del prof. Olivieri ha svolto una duplice attività rispettivamente in collaborazione con il Politecnico di Torino e con l'Università di Bologna: da un lato è stato effettuato uno studio di esplorazione architetturale per un progetto finanziato focalizzato su applicazioni di telecomunicazioni (Progetto Europeo "EASY"); dall'altro è stato sviluppato un simulatore di piattaforme multiprocessore ARM. La velocità e l'accuratezza del simulatore – noto come MPARM – sono tali da permettere il *boot* parallelo di più *kernel* UCLinux e l'esecuzione di

programmi di benchmark nell'ambiente UCLinux. Un simulatore *open-source* con caratteristiche paragonabili a MPARM non si riscontra nel panorama internazionale dell'epoca, ed e' stato utilizzato per oltre un decennio come strumento di analisi da gruppi universitari di tutto il mondo [28][96][99][100].

Il gruppo del prof. Olivieri ha sviluppato un ambiente in grado di simulare la presenza di memorie parzialmente inaccurate per il supporto all'*approximate computing* nei sistemi a microprocessore, sviluppando inoltre per la prima volta le funzionalita' software necessarie al kernel del sistema operativo Linux alla gestione di banchi di memorie RAM per dati intrinsecamente approssimati [53][137][138]. La computazione su dati approssimati e/o a precisione ridotta costituiscono una tecnica di grande interesse per l'efficienza energetica, particolarmente nelle applicazioni di tipo consumer. Grazie al suddetto ambiente di simulazione e all'estensione del sistema operativo Linux per gestire memorie parzialmente inaccurate, il gruppo diretto dal Prof. Olivieri ha potuto esplorare l'impatto delle memorie inaccurate su applicazioni di compressione immagini H.264, con e senza l'integrazione parziale di unita' Error Correcting Codes , giungendo a numerosi risultati pubblicati in letteratura [52][142][144][145][146][149][152].

Ancora sullo sviluppo di modelli simulabili di System-on-Chip e' da segnalare il Progetto Europeo ENIAC JU "IDEAS" sviluppato dal gruppo del Prof. Olivieri in particolare in collaborazione diretta con Micron Technologies, sulla valutazione prestazionale di embedded-Multi-Media-Card (eMMC) in chip per applicazioni automotive [134] e sulla modellazione di timer unit per il mercato automotive [135].

Nell'ambito del progetto europeo "The European Pilot", il gruppo coordinato dal prof. Olivieri ha sviluppato un ambiente di emulazione hardware su FPGA per la verifica *pre-silicon* di unita' aritmetiche intere e floating point destinate a essere integrate in processori per il supercalcolo. La particolarita' della soluzione sviluppata e' l'integrazione su FPGA dei modelli algoritmici di confronto per la verifica, sintetizzati attraverso strumenti di High-Level-Synthesis. L'ambiente consente di verificare le unita' sotto analisi con dati randomici a una velocita' di 2 ordini di grandezza superiore alle convenzionali tecniche di verifica tramite simulazione [167].

Tecniche di riduzione del consumo energetico di chip digitali

Il prof. Olivieri ha collaborato in particolare con STMicroelectronics Catania a una codifica dei dati su bus totalmente innovativa, basata sul riordino dinamico dell'associazione fra segnali logici e linee di bus. La complessita' hardware della logica di decodifica rende l'approccio adatto ai bus che pilotano linee esterne al chip [25][103][106][107][110]. Successivamente e' stata studiata un'estensione dell'approccio alla codifica per comunicazioni ottiche [108].

Un altro aspetto esplorato dal gruppo coordinato dal prof. Olivieri e' stato il contributo al consumo dato dalle memorie presenti nel sistema a causa delle correnti di leakage, giungendo a nuovi risultati nella riduzione dei consumi tramite l'utilizzo di *memorie scratchpad*. Di particolare importanza una nuova tecnica di ottimizzazione basata su *scratchpad* che per la prima volta minimizza anche il consumo di leakage del sistema basandosi su modelli delle celle di memoria a livello di transistor, e applicando una tecnica di programmazione matematica lineare [37][70][113].

Stima e contromisure alla vulnerabilita' di chip crittografici

Il prof. Olivieri ha inoltre coordinato un lavoro di ricerca, in parte anche nell'ambito del Progetto Europeo "Side Channel Analysis Resistant Design Flow (SCARD)" (Progetto n. IST-2002-507270), sulla valutazione e mitigazione della vulnerabilita' di chip crittografici ad attacchi di tipo "side-channel". Di interesse sono le soluzioni circuitali e architetture per le contromisure [35][105][111][126]. Particolare rilievo ha lo sviluppo di un ambiente di simulazione di System-on-Chip in grado di riprodurre gia' a livello di architettura

l'esecuzione di un attacco con l'accuratezza del singolo ciclo di clock, evidenziando così l'eventuale vulnerabilità del sistema integrato in corso di progetto [37]. Sviluppi successivi hanno portato alla definizione di contromisure basate su standard cell anche assumendo un *routing* non bilanciato dei segnali sul chip [55].

Microprocessori tolleranti ai guasti

Un'importante direzione presa dal lavoro di ricerca sui microprocessori, è quella del supporto di caratteristiche di *fault-tolerance* e più in generale di *functional safety*, di rilievo nelle applicazioni spaziali ma anche nel settore automobilistico, ad esempio. Un primo lavoro in tale ambito ha riguardato la progettazione di un core resistente ai guasti compatibile con l'istruzione set PIC [141].

Nei core Klessydra – compatibili con instruction set RISC-V – sono stati sperimentati una serie di meccanismi di protezione dai guasti, a partire dal ben noto Triple-Modular-Redundancy a livello dei flip-flop della microarchitettura, per arrivare a soluzioni del tutto nuove basate sulla presenza di interleaved multi-threading intrinseca alla microarchitettura hardware dei processori Klessydra. Il primo processore fault-tolerant della famiglia Klessydra è stato presentato al RISC-V European Workshop tenutosi a Zurigo nel 2019. Il processore è stato implementato su FPGA e integrato nell'elettronica di bordo di un satellite *Pocketcube* che è stato lanciato in orbita nel 2020.

Il gruppo del Prof. Olivieri ha successivamente sviluppato e implementato nuove tecniche denominate Buffered Triple Modular Redundancy, che utilizza una tripla replicazione temporale in hardware eseguendo delle istruzioni, e Dynamic Triple Modular Redundancy, che utilizza una doppia replicazione temporale in hardware attivando un terzo thread di esecuzione solo in caso di rivelazione di un guasto, riuscendo a ripristinare il corretto funzionamento senza il costo addizionale implicato dalle classiche tecniche di checkpointing & recovery.

Per valutare quantitativamente l'efficienza delle tecniche implementate, è stato sviluppato da zero un ambiente di simulazione (basato sul paradigma UVM – Universal Verification Model), che consente la *fault-injection* automatica e selettiva su potenzialmente tutte le celle flip-flop della micro-architettura. Ciò consente una valutazione del grado di fault tolerance molto più affidabile delle tradizionali tecniche di fault-injection "Monte-Carlo".

I risultati di questo filone di ricerca sono pubblicati sulle maggiori conferenze di settore [150][151][154][156][163][164][165][166][168][158] e su rivista [59][60][65][66][62], e hanno ricevuto manifestazioni di interesse per future collaborazioni dalle aziende Thales Alenia Space, Aizoon, MBDA.

Celle digitali CMOS su scala nanometrica

L'attività ha riguardato l'impatto delle variazioni tecnologiche su tutti gli aspetti prestazionali dei circuiti integrati digitali: ritardi di propagazione, consumo energetico e affidabilità (robustezza al rumore e all'invecchiamento).

Un primo approccio è stato basato sull'utilizzo della tecnica del "*body bias control*", ovvero della modulazione dinamica della tensione di body del circuito integrato o di parte di esso allo scopo di minimizzare il consumo di leakage. In modo particolare è stata messa a punto una tecnica di controllo della tensione basata sulla rilevazione della temperatura e di parametri di processo attraverso una opportuna sensoristica analogica. Il sistema consente di inquadrare il contenimento del consumo di leakage in un piano di ottimizzazione della *resa* rispetto ad un insieme di vincoli (fra cui il consumo di leakage durante il funzionamento) a fronte delle variazioni dei parametri tecnologici. La tecnica messa a punto dal gruppo coordinato dal prof. Olivieri è stata la prima ad applicare congiuntamente il controllo della tensione di

alimentazione e della tensione di body [26][102][114]. Una tecnica analoga (adaptive body biasing) e' stata poi esportata anche in ambito analogico, per il progetto di amplificatori operazionali a transconduttanza a bassa tensione in classe AB [56].

Riguardo all'impatto delle variazioni di processo tecnologico sui tempi di propagazione delle celle digitali, la ricerca ha prodotto un modello innovativo di ritardo in grado di mappare a livello logico – ad esempio in un modello VHDL – il comportamento del ritardo di propagazione in funzione di parametri tecnologici dei dispositivi e del carico, inclusi gli effetti di non-linearita' del ritardo con il carico. Il progetto e' stato sviluppato nell'ambito del programma di ricerca FP7 ENIAC JU "MODERN", in cooperazione con STMicroelectronics e con l'universita' di Delft, e ha prodotto risultati pubblicati in letteratura [118][119][122][123][129][45].

Nell'ambito dell'impatto sul consumo energetico, la ricerca si e' concentrata sulla modellazione delle correnti di leakage tenendo conto delle variazioni dei parametri tecnologici e degli effetti di aging. Il modello, di particolare innovativita' essendo basato sulla caratterizzazione delle tensioni ai nodi interni delle celle, e' stato sviluppato nell'ambito del programma FP7 ENIAC JU "END", in particolare in cooperazione con STMicroelectronics [40][46][47][120][140][143][147].

La ricerca si e' spinta anche fino all'integrazione in SPICE BSIM3 di un modello delle correnti di leakage denominate Band-to-Band-Tunneling, rilevante per le celle digitali [42].

Nell'ambito dell'analisi di robustezza la ricerca ha avuto come oggetto lo studio delle variazioni dei margini di rumore a seguito delle variazioni tecnologiche e dei fenomeni di aging (NBTI-PBTI), sia in celle combinatorie che in celle sequenziali (flip-flop), producendo diversi risultati pubblicati sia a livello di modelli che di caratterizzazione di celle [49][124][125][127][128][130] [132][133]. In continuita' con questi risultati e' stata messa in atto una collaborazione con l'azienda MunEda (Germania) sull'ottimizzazione matematica del progetto circuitale di celle digitali al fine di massimizzare la resa in termini di rispondenza a requisiti di ritardo, consumo e margini di rumore anche in presenza di aging [49][50][51][44][121][133].

c) Attivita' svolta presso il Barcelona Supercomputing Center (2018 – 2021)

Processori vettoriali per sistemi di supercalcolo

Nel Luglio 2018 il prof. Olivieri iniziava una collaborazione con il Barcelona Supercomputing Center – Centro Nacional de Supercomputacion (BSC) di Barcellona, Spagna, successivamente formalizzata attraverso un contratto di ricerca, un accordo di collaborazione per in-kind contribution, e due partecipazioni congiunte a progetti finanziati dall'Unione Europea. Il prof. Olivieri e' stato inquadrato presso il BSC nel ruolo di collaborator – visiting researcher; fra il Luglio 2018 e i primi mesi del 2020 la collaborazione ha comportato complessivamente circa 24 settimane non consecutive di permanenza presso il BSC, ed e' proseguita successivamente in remoto a motivo della pandemia Covid-19.

Contenuto, durata e valutazione dell'attivita' svolta dal prof. Mauro Olivieri sono attestate nella dichiarazione firmata del Direttore del BSC Prof. Mateo Valero (titolo allegato).

Obiettivo principale della collaborazione scientifica e' stata la progettazione di un processore vettoriale a 64 bit (VPU – Vector Processing Unit) per il processore Europeo sviluppato nel progetto European Processor Initiative (EPI). Il prof. Olivieri ha formato e coordinato un team di progettisti e ha personalmente partecipato al disegno della microarchitettura. La parte computazionale della VPU e' formata da 8 lanes, ciascuna capace di due operazioni in virgola mobile in doppia precisione (64 bit) e una lettura/scrittura in

memoria, per ogni ciclo di clock. Ogni lane include una sezione del *register file* vettoriale del processore, e deve quindi fare tre letture e due scritture nel *register file* ad ogni ciclo di clock. Poiché non sono disponibili memorie SRAM dotate di 5 porte di accesso compatibili con le frequenze di clock richieste dal progetto, si sono utilizzati 5 banchi a singola porta che vengono letti e scritti ciclicamente secondo la sequenza *read1, read2, read3, memory access, write back*, governata da una macchina a stati finiti. Le unità funzionali (intera e a virgola mobile) sono dotate di cinque stadi di pipeline. Il meccanismo – simile a quello utilizzato nei primi supercomputer Cray – consente di mantenere sempre attive le unità funzionali senza mai creare conflitti, purché i dati vettoriali siano letti da locazioni di memoria contigue (stride 1 memory access). Qualora i dati arrivino da locazioni non contigue oppure arrivino fuori ordine a causa di miss-in-cache, una unità di gestione della memoria è in grado di riordinare i dati e allocarli sui banchi del *register file* in tempo reale, ossia senza stalli. La VPU implementa inoltre un meccanismo di *register renaming* sui registri vettoriali ed è connessa ad un core di processore scalare. Il processore vettoriale qui sommariamente descritto supporta l'estensione vettoriale dell'*instruction set* RISC-V.

Il progetto complessivo – partecipato da 28 partner europei – è giunto all'integrazione di 4 processori vettoriali, 4 cache di secondo livello, una unità a precisione variabile, una unità neurale e una unità di calcolo *Stencil*, connessi da una Network-on-Chip AMBA-CHI. Il primo prototipo, in tecnologia 22 nm FDSOI GlobalFoundries, è andato in tape-out a fine Marzo 2021 ed è arrivato nel Settembre 2021 alla fase di bring-up e test e raggiunge una frequenza di 1 GHz. Il chip misura 27.297 mm² per un totale di circa 95 milioni di gate equivalenti.

Una seconda versione della VPU è stata sviluppata fino a livello di layout in tecnologia 7 nm FinFET TSMC, per un tape-out inizialmente previsto nella seconda fase del progetto EPI (2022), rinviato al 2024 per motivi di natura non tecnica. La frequenza target è 1.5 GHz.

Il progetto della VPU è stato presentato il giorno 8 Dicembre 2021 al RISC-V Summit tenutosi a San Francisco, USA, l'evento di riferimento mondiale per lo sviluppo di sistemi basati sullo standard RISC-V, e su rivista [61][63].

Le prospettive del progetto EPI nel contesto mondiale di evoluzione dei sistemi HPC sono state pubblicate in [54], mentre una review delle attività italiane nel contesto dei bandi EuroHPC è illustrata in [155].

Unità dedicate a specifiche tecniche di calcolo

Il Prof. Olivieri è stato altresì co-supervisore di un dottorando afferente all'Università Politecnica della Catalogna (UPC) che ha svolto la sua attività presso il BSC. L'argomento di ricerca sviluppato dal dottorando riguarda l'applicazione del principio "binary segmentation" all'esecuzione efficiente di calcoli paralleli a precisione ridotta su unità funzionali standard con un aggravio di risorse circuitali trascurabile. L'attività è oggetto di due pubblicazioni accettate su conferenze di settore (ASPLOS e HPCA) caratterizzate da un altissimo livello di selezione [162][157].

Parte VI – Sommario dei risultati bibliometrici

a) Inclusione nel database bibliometrico “World’s Top 2% Most Influential Scientists”:

Per i tre anni consecutivi 2023, 2022 e 2021, il nome del prof. Mauro Olivieri – unico fra i docenti del settore ING-INF/01 dell’Università Sapienza – è incluso nell’elenco del **2% degli scienziati del mondo che hanno avuto il maggior impatto sulla comunità scientifica mediato su tutta la carriera nel proprio campo di ricerca, con riferimento al campo “Electrical and Electronics Engineering”**. L’elenco (comunemente denominato World’s Top 2% Most Influential Scientists) è stilato annualmente dall’Università di Stanford in collaborazione con Elsevier su elaborazione dei dati bibliometrici estratti dalla banca dati **Scopus**.

Riferimento 2023: Ioannidis, John P.A. (2023), “October 2023 data-update for “Updated science-wide author databases of standardized citation indicators””, Elsevier Data Repository, V6, doi: 10.17632/btchxktzyw.6

Online database 2023: <https://elsevier.digitalcommonsdata.com/datasets/btchxktzyw/6>

Riferimento 2022: Ioannidis, John P.A. (2022), “September 2022 data-update for “Updated science-wide author databases of standardized citation indicators””, Elsevier Data Repository, V5, doi: 10.17632/btchxktzyw.5

Online database 2022: <https://elsevier.digitalcommonsdata.com/datasets/btchxktzyw/5>

Riferimento 2021: Baas, Jeroen; Boyack, Kevin; Ioannidis, John P.A. (2021), “August 2021 data-update for “Updated science-wide author databases of standardized citation indicators””, Elsevier Data Repository, V3, doi: 10.17632/btchxktzyw.3

Online database 2021: <https://elsevier.digitalcommonsdata.com/datasets/btchxktzyw/3>

b) Indicatori bibliometrici relativi alla produzione scientifica complessiva

- numero complessivo di lavori su banche dati internazionali riconosciute per l’abilitazione scientifica nazionale: **154** (banca dati: **Scopus**);
- indice di *Hirsch*: **20** (banca dati: **Scopus**);
- indice di *Hirsch*, calcolato escludendo le proprie autocitazioni: **17** (banca dati: **Scopus**);
- indice di *Hirsch*, calcolato escludendo le autocitazioni di tutti gli autori: **15** (banca dati: **Scopus**);
- numero totale delle citazioni: **1414** (banca dati: **Scopus**);
- numero totale delle citazioni, calcolato escludendo le proprie autocitazioni: **1082** (banca dati: **Scopus**);
- numero totale delle citazioni, calcolato escludendo le autocitazioni di tutti gli autori: **956** (banca dati: **Scopus**);
- numero medio di citazioni per pubblicazione **9.2** (banca dati: **Scopus**);
- numero medio di citazioni per pubblicazione, calcolato escludendo le proprie autocitazioni: **7.0** (banca dati: **Scopus**);
- numero medio di citazioni per pubblicazione, calcolato escludendo le autocitazioni di tutti gli autori: **6.2** (banca dati: **Scopus**);

- numero complessivo di lavori su banche dati internazionali riconosciute per l'abilitazione scientifica nazionale: **106** (banca dati: **Clarivate Web of Science**);
- indice di *Hirsch*: **14** (banca dati: **Clarivate Web of Science**);
- numero totale delle citazioni: **717** (banca dati di riferimento: **Clarivate Web of Science**);
- numero medio di citazioni per pubblicazione **6.76** (banca dati: **Clarivate Web of Science**);
- «impact factor» totale, calcolato in relazione all'anno della pubblicazione: **77.6** (banca dati: **Clarivate Web of Science**)
- «impact factor» medio per pubblicazione, calcolato in relazione all'anno della pubblicazione, relativamente alle pubblicazioni su rivista, considerando Impact Factor = 0 per le riviste non dotate di impact factor: **1.14** (banca dati: **Clarivate Web of Science**)
- «impact factor» medio per pubblicazione, calcolato in relazione all'anno della pubblicazione, relativamente alle sole pubblicazioni su riviste dotate di impact factor: **1.36** (banca dati: **Clarivate Web of Science**)

c) Indicatori bibliometrici relativi alla produzione scientifica nell'arco temporale degli ultimi 10 anni antecedenti al bando:

- numero complessivo di lavori su banche dati internazionali riconosciute per l'abilitazione scientifica nazionale: **68** (banca dati: **Scopus**);
- indice di *Hirsch*: **13** (banca dati : **Scopus**);
- indice di *Hirsch*, calcolato escludendo le proprie autocitazioni: **9** (banca dati: **Scopus**);
- indice di *Hirsch*, calcolato escludendo le autocitazioni di tutti gli autori: **8** (banca dati: **Scopus**);
- numero totale delle citazioni: **491** (banca dati di riferimento: Scopus);
- numero totale delle citazioni, calcolato escludendo le proprie autocitazioni: **281** (banca dati: **Scopus**);
- numero totale delle citazioni, calcolato escludendo le autocitazioni di tutti gli autori: **224** (banca dati : **Scopus**);
- numero medio di citazioni per pubblicazione **7.0** (banca dati : **Scopus**);
- numero medio di citazioni per pubblicazione, calcolato escludendo le proprie autocitazioni: **4.2** (banca dati : **Scopus**);
- numero medio di citazioni per pubblicazione, calcolato escludendo le autocitazioni di tutti gli autori **3.34** (banca dati : **Scopus**);
- numero complessivo di lavori su banche dati internazionali riconosciute per l'abilitazione scientifica nazionale: **45** (banca dati: **Clarivate Web of Science**);
- indice di *Hirsch*: **9** (banca dati: **Clarivate Web of Science**);
- numero totale delle citazioni: **245** (banca dati di riferimento: **Clarivate Web of Science**);
- numero medio di citazioni per pubblicazione **5.8** (banca dati: **Clarivate Web of Science**);

- «impact factor» totale, calcolato in relazione all'anno della pubblicazione **44.3** (banca dati: **Clarivate Web of Science**)
- «impact factor» medio per pubblicazione, calcolato in relazione all'anno della pubblicazione, relativamente alle pubblicazioni su rivista, considerando impact factor = 0 per le riviste non dotate di impact factor: **2.0** (banca dati: **Clarivate Web of Science**)
- «impact factor» medio per pubblicazione, calcolato in relazione all'anno della pubblicazione, relativamente alle sole pubblicazioni su riviste dotate di impact factor: **2.3** (banca dati: **Clarivate Web of Science**)

d) Indicatori bibliometrici relativi alle 16 pubblicazioni selezionate per la valutazione:

- numero totale delle citazioni: **224** (banca dati : **Scopus**);
- numero totale delle citazioni, calcolato escludendo le proprie autocitazioni: **147** (banca dati: **Scopus**);
- numero totale delle citazioni, calcolato escludendo le autocitazioni di tutti gli autori: **100** (banca dati : **Scopus**);
- numero medio di citazioni per pubblicazione: **14** (banca dati : **Scopus**);
- numero medio di citazioni per pubblicazione, calcolato escludendo le proprie autocitazioni: **9.2** (banca dati: **Scopus**);
- numero medio di citazioni per pubblicazione, calcolato escludendo le autocitazioni di tutti gli autori: **6.2** (banca dati: **Scopus**);
- numero totale delle citazioni: **150** (banca dati di riferimento: **Clarivate Web of Science**);
- numero medio di citazioni per pubblicazione **9.4** (banca dati: **Clarivate Web of Science**);
- «impact factor» totale, calcolato in relazione all'anno della pubblicazione **34.1** (banca dati: **Scopus**)
- «impact factor» medio per pubblicazione, calcolato in relazione all'anno della pubblicazione, sulle pubblicazioni su rivista, considerando impact factor = 0 per le pubblicazioni non dotate di impact factor: **2.1** (banca dati: **Clarivate Web of Science**)
- «impact factor» medio per pubblicazione, calcolato in relazione all'anno della pubblicazione, relativamente alle sole pubblicazioni su riviste dotate di impact factor: **2.3** (banca dati: **Clarivate Web of Science**)

Con riferimento al valore dell'Impact Factor, si precisa che

- per le pubblicazioni anteriori al 1997 – non esistendo una fonte ufficiale online della banca dati Clarivate Web Of Science sui valori di Impact Factor antecedenti tale anno – si e' utilizzato il valore di Impact Factor relativo all'anno 1997;
- per le pubblicazioni del 2024, non essendo ancora disponibile il valore ufficiale dell'Impact Factor, si e' utilizzato il valore del 2023.

Parte VII – Responsabilità di progetti di ricerca finanziati su bando da istituzioni pubbliche nazionali ed internazionali

Progetti di Ateneo:

Responsabile scientifico dei seguenti progetti finanziati dalla Sapienza Università' di Roma:

Anno Titolo progetto

2022	Dynamically configurable acceleration units in FPGA-based processors for edge-computing applications.
2020	Progetto di unita' di accelerazione vettoriale per processori embedded in ambito edge computing Design of vector processing units for embedded processor in edge computing
2019	Design of special-purpose microprocessors for High-Altitude Pseudo-Satellite (HAPS) drones operating in harsh conditions.
2018	Near-sensor processors for AI-configured Internet-of-Things nodes
2016	Platform-based design of IoT smart systems supporting approximate computing for energy efficiency
2015	Improving Microprocessor Systems Energy Efficiency in the Context of "Dark Silicon" through Approximate Computing and Programming Language Execution Hardware Support
2014	Go-Arch: A light-weight embedded multi-core architecture for Google's Go programming language
2013	Sviluppo e verifica di modelli delle probabilita' di "failure" in circuiti logici realizzati in tecnologie nano-CMOS
2012	Implementation of a Stochastic Solver for a Variability-Aware Statistical SPICE Circuit Simulator
2011	Caratterizzazione statistica dei ritardi di propagazione e delle correnti di perdita in librerie di celle digitali nano-CMOS, attraverso architetture di calcolo parallelo.
2010	Monitoraggio energetico e di sicurezza strutturale di grandi edifici con caratteristiche di "Ambient Intelligence" attraverso reti di sensori wireless resistenti ai guasti ed energeticamente autonome (fase 2)
2009	Monitoraggio energetico e di sicurezza strutturale di grandi edifici con caratteristiche di "Ambient Intelligence" attraverso reti di sensori wireless resistenti ai guasti ed energeticamente autonome (fase 1)
2007	Ottimizzazione dei sotto-sistemi di comunicazione digitale in System-on-Chip per reti di sensori wireless
2001	Architetture di core di processori specializzati per applicazioni specifiche in sistemi integrati (System-on-Chip) dal 2016 tutor di riferimento per 7 avvio alla ricerca

Il prof. Mauro Olivieri e' inoltre tutor di riferimento in 7 progetti "Avvio alla Ricerca" presentati da dottorandi e finanziati dalla Sapienza Università' di Roma.

Progetti nazionali finanziati da enti pubblici:

PRIN 1999 – *Responsabile Scientifico* – "Progetto di sistemi digitali contenenti blocchi funzionali con proprieta' intellettuale protetta: sviluppo di uno strumento CAD per la simulazione orientata al collaudo." Responsabile Scientifico per l'Unità Roma Sapienza.
dal 26-11-1999 al 25-11-2001

FIRB Progetti Autonomi 2001 – *Responsabile Scientifico* – Tecniche di progetto di sistemi integrati su singolo chip per applicazioni multimediali su reti "wireless" . Responsabile Scientifico per l'Unità Roma Sapienza.

dal 01-01-2001 al 01-01-2003

PRIN 2002: – *Responsabile Scientifico* – Metodologie di progetto per sistemi digitali integrati su singolo chip di tipo "embedded". Durata 24 mesi - Responsabile Scientifico per l'Unità Roma Sapienza.

dal 01-11-2002 al 31-10-2004

PRIN 2005 – *Responsabile Scientifico* – “ Sensori video wireless a basso consumo di potenza: sviluppo di una piattaforma hardware-software”. Responsabile Scientifico per l'Unità Roma Sapienza.

dal 01-11-2005 al 31-10-2007

Progetto Innovazione Industriale - Bando Mobilità Sostenibile "Industria 2015" - (D.M. 19 marzo 2008) – *Responsabile Scientifico* – "Multichannel Application Infomobility Transport Efficiency And Safety (MAITES)" – Codice Domanda n. MSOUJ0035. Responsabile Scientifico per l'Unità Roma Sapienza tramite il Consorzio Sapienza Innovazione. Focus dell'attività è stato lo sviluppo di un modello simulabile di una rete VANET a livello di microprocessori, nodi sensori e di rete.

dal 29-01-2014 al 31/10/2017.

Progetti finanziati dall'Unione Europea

Progetto Europeo FP7 ENIAC JU – *Responsabile Scientifico* – “Modelling And Design Of Reliable-Process Validation Aware Nanoelectronics Devices Circuits And Systems (MODERN)” – Project n. 120003 Call 2008-1 PAB-20/08- Responsabile Scientifico per il partner Sapienza.

L'attività svolta è inserita nel WP3, Task 3.1 "Process-Variation-aware circuit models", contribuendo ai deliverable D3.1.1 - Set of alternative symbolic models for library cells, D3.1.2 Statistical methodology for characterisation of digital and AMS&RF circuits, D3.1.3 – Automated and validated characterisation flow for librarycells and AMS&RF blocks.

dal 01-03-2009 al 04-05-2012

Progetto Europeo FP7 ENIAC JU – *Responsabile Scientifico* – “Models, Solutions, Methods and Tools for Energy-Aware Design (END)” - Project n. 120214 Call 2009-1. Responsabile del partner Roma Sapienza all'interno del Consorzio IUNET, partner nel progetto.

L'attività svolta si inserisce nel WP2, Task TT2.2: "Development of building blocks and libraries for low power-design", contribuendo ai deliverable DT2.2.1 “Set of analog and digital building blocks including features to , control and minimize power consumption (preliminary), DT2.2.3 Set of analog and digital building blocks including features to control and minimize power consumption (final).”

dal 01-04-2010 al 31-10-2013

Progetto Europeo FP7-PEOPLE-2009-IAPP – *Responsabile Scientifico* – “Methods for Advanced Multi-Objective Optimization for "eDFY" of complex Nano-scale Circuits (MANON). Responsabile Scientifico per il partner Sapienza Università di Roma.

L'attività svolta si inserisce su tutti i WP ma in particolare il WP3 – “Methodology Enhancement - Objectives: New process-variation-tolerant model libraries, New mixed symbolical/numerical model reduction methods, Innovative yield-oriented design approaches”. Il focus dell'attività ha riguardato lo

sviluppo di modelli matematici delle prestazioni di celle circuitali soggette a variazioni dei parametri tecnologici.

dal 01-10-2010 al 30-11-2014

Progetto Europeo FP7 ENIAC JU – Responsabile Scientifico – “Interactive Devices for Efficiency in Automotive with Increased Reliability and Safety (IDEAS)” – Project n. 304603 Call 2011-2. Responsabile Scientifico per il partner Sapienza Università di Roma.

L'attività svolta si inserisce nel WP3, Task T3.2 Memory System for Data processing and Transfer, contribuendo ai deliverable D3.2.1 Preliminary report on memory architecture and models, D3.2.2 Evaluation of memory architectures and interfaces, D3.2.3 Model abstraction and wrapping for the memory simulation platform. Focus dell'attività è lo sviluppo di un modello simulabile di un dispositivo eMMC e della sua interfaccia verso un sistema host integrato su SoC.

dal 01-06-2012 al 30-09-2015

Progetto Europeo H2020 – Responsabile Scientifico – “European Processor Initiative - EPI” – Accordo di collaborazione in qualità di Third Party for In-Kind Contribution con il Barcelona Supercomputing Center. Responsabile scientifico per la Sapienza Università di Roma.

Focus del progetto è la realizzazione del primo microprocessore totalmente made-in Europe per sistemi di supercalcolo (l'intero progetto ha avuto un finanziamento di 80 MEuro). Nella fattispecie il contributo del prof. Olivieri è sul progetto e la sintesi del core di calcolo vettoriale a 64 bit, rispondente alle specifiche dell'estensione vettoriale dell'istruzione set RISC-V.

In virtù del ruolo svolto nel progetto, il Prof. Olivieri è inserito nell'organico del BSC come Collaborator - Visiting Researcher.

Data di inizio collaborazione 01/10/2019, durata 26 mesi.

Progetto Europeo Joint Undertaking EuroHPC – Responsabile Scientifico – “European, extendable, energy-efficient, extreme-scale, extensible, Processor Ecosystem (eProcessor)”. Responsabile Scientifico per il partner Sapienza Università di Roma.

Focus del progetto è lo sviluppo di un ecosistema hardware/software per il calcolo ad alte prestazioni. Il contributo del team guidato dal prof. Olivieri presso la Sapienza è la progettazione di unità parallele in virgola mobile a precisione ultra-ridotta (8 bit) e formato riconfigurabile (1-4-3, 1-5-2). Le unità supportano tutte le operazioni previste nell'estensione vettoriale dell'istruzione set RISC-V.

Data di inizio 01/04/2021, durata 36 mesi, esteso a 48 mesi.

Progetto Europeo Joint Undertaking EuroHPC – Responsabile Scientifico – “TEP The European Pilot”. Responsabile Scientifico per il partner Sapienza Università di Roma tramite il Consorzio CINI.

Focus del progetto è l'utilizzo dei risultati del progetto EPI, unito a successivi sviluppi, per realizzare un sistema pilota per il calcolo ad alte prestazioni. Il contributo del team guidato dal prof. Olivieri è nella prototipazione su FPGA delle unità di calcolo sviluppate dagli altri partner, e nello sviluppo di un ambiente di verifica dei prototipi per la validazione funzionale prima dell'integrazione in un unico System-on-Chip.

Data di inizio 01/12/2021, durata 42 mesi.

Attività in Progetti Europei come partecipante:

Esprit 6498 - *Partecipante* - "CHESS"(A MIPS cruncher for a distributed concurrent heterogeneous simulation system) - 1992 - durata 18 mesi

FP4 Esprit OMI n. 20761 - *Partecipante* - "ASCISSA", (Adopting SCI and SSA interconnects in advanced microprocessor based PC servers) - 1995 - durata 24 mesi

FP6-IST n. IST-2002-507270 - *Partecipante* - "Side Channel Analysis Resistant Design Flow (SCARD)" - 2004 - durata 29 mesi.

Parte VIII - Realizzazione di attività progettuale relativamente al settore concorsuale 09/E3 e attività di "Terza Missione"

Si elencano i contratti e gli accordi per attività di trasferimento tecnologico commissionati da aziende ed enti pubblici e privati, di cui il prof. Olivieri e' stato titolare.

Anni	Titolo	Committente	Descrizione
Dal Marzo 2001 al Sett. 2001	"Definizione della Specifica Tecnica e di Progetto per un Sintetizzatore di Frequenza per Rice-Trasmittitori <i>Fast Frequency Hopping</i> "	Marconi Spa	Sviluppo di specifica in VHDL per il componente in oggetto
dal 24-01-2002 al 23-01-2004	"Progettazione di sistemi hardware e software a basso consumo di potenza"	Ente Consorzio Ferrara Ricerche	Modellazione e simulazione di un sistema digitale per applicazioni di telecomunicazioni basato su microprocessori ARM, al fine di individuare lo scheduling caratterizzato dal minore consumo di potenza.
dal 04-11-2004 al 03-11-2005	"Novel hardware and software techniques for imaging and displays"	Philips	Sviluppo di un simulatore a livello fisico dei circuiti di pilotaggio di display LCD e della sua applicazione per il progetto di sistemi multimediali ottimizzati per la qualità percepita dall'utente.
Dal 2005 al 2008	Varie prestazioni tariffate.	Varie aziende sul territorio nazionale fra cui LIS Lottomatica Spa, MWCR Spa, Ditron Srl.	Certificazione tecnico-funzionale, nei confronti dell'Agenzia delle Entrate, dei sistemi di biglietteria elettronica, di controllo accessi elettronico e di misurazione fiscale, per l'omologazione da parte del Ministero delle Finanze e della S.I.A.E. La Sapienza e' uno degli 8 Enti Certificatori nazionali riconosciuti dal Ministero.
dal 01-10-2008 al 01-01-2009	"Verifica RTL di unita' di interfaccia AHB e DMA per il processore DIOPSIS"	Atmel	Sviluppo di testbench in linguaggio VHDL per la verifica pre e post sintesi di circuiti integrati.
dal 03-02-2016 al 2-2-2019	"Ricerche Relative allo Sviluppo di Tecnologie Realizzative per la Internet of Things (IoT)	ADS Group	Accordo quadro di collaborazione - valutazione sperimentale delle potenzialità di LoRa/Sigfox per applicazioni IoT in ambito Smart Cities /

	in ambito Smart Cities / Smart Communities”		<p>Smart Communities</p> <ul style="list-style-type: none"> - ideazione e sviluppo di network server LoRa open source per applicazioni IoT - sistemi HW/SW open source per il rapid prototyping di nodi LoRa multi-purpose - applicazione di tecniche HW/SW di power-aware computing a livello di nodi IoT
dal 29-07-2016 al 02-05-2019	“Video Management and Digital Recording System”	LEAT Spa	Sviluppo di firmware sintetizzabile su FPGA di acceleratori hardware di elaborazione video per applicazioni avioniche finalizzate a missioni di soccorso
Dal 01/12/2018 al 30/06/2019	"RTL design of a RISC-V vector accelerator for exascale computing"	Barcelona Supercomputing Center	Coordinamento di un team di progettisti RTL nello sviluppo di unita' funzionali vettoriali.
Dal 2019 ad oggi	“Klessydra” open source hardware repository	--	<p>Supervisore responsabile della messa in opera e mantenimento del repository <i>open source</i> sotto licenza “Solderpad” della famiglia di processori Klessydra, interamente sviluppata dal gruppo di ricerca coordinato dal Prof. Mauro Olivieri. L’iniziativa si configura fra le attività di terza missione della Sapienza in virtù dell’impatto sulla formazione di progettisti e di sviluppo hardware da parte di aziende ed enti del settore digitale.</p> <p>Sito web: https://github.com/klessydra</p>

Parte IX – Organizzazione, direzione e coordinamento di gruppi di ricerca nazionali e internazionali

a) **Organizzazione e direzione del gruppo di ricerca di progettazione di sistemi elettronici digitali e del Laboratorio di Sistemi Digitali, presso la Sapienza Università di Roma** (Nov. 1998 – oggi).

Fra le attività del gruppo diretto dal prof. Olivieri presso la Sapienza si citano:

1. sviluppo di ricerche pubblicate su riviste e convegni internazionali (sommario riportato nella parte VI, elenco completo in appendice)
2. progetti europei e nazionali come Responsabile Scientifico per l'Università Sapienza (dettaglio riportato nella Parte VII)
3. Attività di Terza Missione per il trasferimento tecnologico attraverso progettazione in conto terzi e convenzioni di ricerca (dettaglio riportato nella Parte VIII)
4. definizione ex-novo ed erogazione di tutti gli insegnamenti didattici di area digitale del settore ING-INF/01 nell'ambito della laurea e della laurea magistrale in ingegneria elettronica presso la Sapienza Università di Roma. (dettaglio riportato nella parte IV)
5. supervisione di studenti di dottorato (dettaglio riportato nella parte XII) e ricercatori post doc (dettaglio riportato nella Parte XIII)

Fra le collaborazioni nazionali e internazionali del gruppo diretto dal prof. Olivieri presso l'Università Sapienza si evidenziano quelle dettagliate nei punti seguenti, e testimoniate dalle rispettive pubblicazioni e presentazioni congiunte.

Collaborazione dal 01-01-1999 al 31-12-2000 con il gruppo diretto dal prof. Alessandro De Gloria, Università di Genova. Ambito: progetto di sistemi elettronici digitali. Si riportano le pubblicazioni scaturite dalla collaborazione del gruppo:

- A. De Gloria, D. Grosso, M. Olivieri and G. Restani, A novel stability analysis of a PLL for timing recovery in hard disk drives, IEEE Transactions on Circuits and Systems, 46(18), Aug. 1999.
- M. Bertacchi, A. De Gloria, D. Grosso, M. Olivieri, Semi-custom Design of a 400Mb/s IEEE 1394 Compliant IC core, IEEE Design & Test, Set. 2000.
- A. De Gloria and M. Olivieri, Completion Detecting Carry Select Addition, IEE Proceedings: Computer and Digital Techniques, 147(2), Mar. 2000.
- A. De Gloria, M. Olivieri, P. Palma, Delay-insensitive synthesis of the MCS 251 microcontroller core for low power applications, 25th EUROMICRO Conference. Los Alamitos, CA, USA; 1999; pp. p.244-7 vol. IEEE.
- M. Olivieri, A. Trifiletti, A. De Gloria, A Low-Power Microcontroller with On-Chip Self-Tuning Digital Clock-Generator for Variable-Load Applications, International Conference on Computer Design, ICCD'99, Austin, Texas, Oct. 1999. IEEE.
- A. De Gloria, D. Grosso, M. Olivieri, P. Ferrari, L. Puglisi, Implementation Techniques for Fuzzy Theory Systems and Their Applications, in Fuzzy Theory Systems Techniques and Applications, Vol. 3, edited by Cornelius T. Leondes, Academic Press, San Diego, CA, 1999. (ISBN: 0124438709)
- A. De Gloria, F. Bellotti, D. Grosso, L. Noli and M. Olivieri, An interactive VHDL simulator for IEEE 802.11 networks, in Recent Advances in Signal Processing and Communications Century. Word Scientific Engineering Society, 1999. pp. 239-248 (ISBN: 960-8052-03-3).

Collaborazione dal 01-01-2003 a oggi con il gruppo diretto dal Prof. Luca Benini, Università di Bologna. Ambito: ottimizzazione dell'efficienza energetica e della robustezza all'invecchiamento di micro-architetture digitali. Si riportano le pubblicazioni scaturite dalla collaborazione del gruppo:

- L. Benini, F. Menichelli and M. Olivieri, A Class of Code Compression Schemes for Reducing Power consumption in Embedded Microprocessor Systems, IEEE Transactions on Computers, Vol. 53 n.4 pp. 467-482, Apr 2004.
- F. Menichelli, D. Bertozzi, L. Benini, M. Olivieri, A. Bogliolo, MPARM: Exploring the Multi-Processor SoC Design Space with SystemC, Journal of VLSI Signal Processing Systems, vol. 41, n. 2, Kluwer Academics, pp. 169-182, Sept. 2005. ISSN 1387-5485.
- F. Angiolini, F. Menichelli, A. Ferrero, L. Benini, M. Olivieri, A post-compiler approach to scratchpad mapping of code, International conference on Compilers, architecture, and synthesis for embedded systems, 2004, Washington D.C., USA, September 22-25, 2004.
- F. Menichelli, M. Olivieri, L. Benini, M. Donno, L. Bisdounis, A simulation-based power-aware architecture exploration of a multiprocessor system-on-chip design, Design, Automation and Test in Europe Conference. Vol. 3. 16-20, Paris, France, Feb 2004. IEEE. ISBN 0-7695-2085-5
- Paterna, F., Benini, L., Acquaviva, A., Papariello, F., Desoli, G., Olivieri, M. Adaptive idleness distribution for non-uniform aging tolerance in multiprocessor systems-on-chip 2009 Design, Automation and Test in Europe, DATE 09, Nice, France, Mar. 2009, pp. 906-909

Collaborazione dal 01-01-2004 al 31-07-2007 con il gruppo R&D diretto dall'Ing. Francesco Pappalardo, STMicroelectronics, Catania. Ambito: tecniche di riduzione del consumo e di potenza di circuiti integrati digitali con particolare riferimento ai trasferimenti di dati su bus. Si riportano le pubblicazioni scaturite dalla collaborazione del gruppo:

- M. Olivieri, F. Pappalardo, G. Visalli, Bus-Switch Coding for Reducing Power Dissipation in Off-Chip Buses, IEEE Transactions on Very Large Scale Integration (VLSI) Systems, Volume 12, Issue 12, Dec. 2004, pp. 1374 – 1377.
- Olivieri, M., Pappalardo, F., Smorfa, S., Visalli, G., Analysis and Implementation of a Novel Leading Zero Anticipation Algorithm for Floating Point Arithmetic Units, IEEE Transactions on Circuits and Systems II, vol. 54, n. 8, Aug. 2007.
- M. Olivieri, F. Pappalardo, G. Visalli, Encoding circuits for low power optical on-chip communications International Symposium on Circuits and Systems, Kobe, Japan, May 2005. IEEE.
- M. Olivieri, F. Pappalardo and G. Visalli, Bus-Switch Coding for Dynamic Power Management in off-chip Communication Channels, Synopsys User Group Conference, May 2005, Munich, Germany.
- M. Olivieri, F. Pappalardo, and G. Visalli, A Statistical Analysis, for Reducing the Energy Dissipation In A Bus-Switch Encoder, Third IASTED International Conference on Circuits, Signals, and Systems. October 24 - 26, 2005 Marina del Rey, CA, USA. ISBN 0-88986-507-8
- M. Olivieri, F. Pappalardo, and G. Visalli, Design Issues for Bus Switch Systems in Deep Sub-micro Metric CMOS Technologies, Third IASTED International Conference on Circuits, Signals, and Systems. October 24 - 26, 2005 Marina del Rey, CA, USA.
- Olivieri, M.; Pappalardo, F.; Visalli, G., Performance-timing overhead trade-off analysis for a low-power data bus encoding based on input lines reordering, 32nd Conference of IEEE Industrial Electronics Society, (IECON 2005), 6-10 Nov., 2005. IEEE.

Collaborazione dal 01-01-2005 al 30-07-2006 con il gruppo di crittografia della Graz University of Technology, Austria. Si riportano le pubblicazioni scaturite dalla collaborazione del gruppo:

- M. Aigner, S. Mangard, R. Menicocci, M. Olivieri, G. Scotti, A novel CMOS logic style with data independent power consumption International Symposium on Circuits and Systems, Kobe, Japan, May 2005. IEEE. ISBN 0-7803-8834-8.
- Aigner, M.; Mangard, S.; Menichelli, F.; Menicocci, R.; Olivieri, M.; Popp, T.; Scotti, G.; Trifiletti, A.; Side channel analysis resistant design flow, International Symposium on Circuits and Systems (ISCAS), Kos, Greece, May 2006. DOI: 10.1109/ISCAS.2006.1693233 IEEE.

Collaborazione dal 2012 al 2015 con il gruppo di ricerca e sviluppo dell'azienda MunEDA Spa, Monaco di Baviera, Germania. Si riportano le pubblicazioni scaturite dalla collaborazione del gruppo:

- Abbas, Z., Olivieri, M., Yakupov, M., Ripp, A., Design centering/yield optimization of power aware band pass filter based on CMOS current controlled current conveyor (CCCI+), *Microelectronics Journal*, 44 (4) , pp. 321-331. 2013. Elsevier. ISSN: 0026-2692. DOI: 10.1016/j.mejo.2012.11.004.
- Abbas, Z., Olivieri, M., Ripp, A., Yield-driven power-delay-optimal CMOS full-adder design complying with automotive product specifications of PVT variations and NBTI degradations, *Journal of Computational Electronics*, 15 (4), 2016. pp. 1424-1439. DOI: 10.1007/s10825-016-0878-2.
- Abbas, Z., Yakupov, M., Olivieri, M., Ripp, A., Strobe, G., "Yield optimization for low power current controlled current conveyor", *Proceedings of 25th Symposium on Integrated Circuits and Systems Design (SBCCI)*. 2012. ISBN 978-146732608-7
- Abbas, Z., Olivieri, M., Khalid, U., Ripp, A., Pronath, M., Optimal NBTI degradation and PVT variation resistant device sizing in a full adder cell, 4th International Conference on Reliability, Infocom Technologies and Optimization: Trends and Future Directions, ICRITO, 2015. DOI: 10.1109/ICRITO.2015.7359366

b) Organizzazione, coordinamento e supervisione del gruppo di progettazione RTL presso il Barcelona Supercomputing Center (BSC). (Ott. 2018 – Nov. 2021)

Da Luglio 2018 il prof. Olivieri ha coordinato presso il Barcelona Supercomputing Center il team di progettazione dell'unità vettoriale nel progetto europeo European Processor Initiative. L'attività è stata formalizzata a partire da Ottobre 2018 fino a Novembre 2021 con un contratto di ricerca e un accordo di collaborazione stipulati con il BSC (specificati nella Parte VII e nella Parte VIII). L'attività si è svolta a Barcellona con una permanenza del prof. Olivieri in loco per 24 settimane non continuative fino a Febbraio 2020. A partire da Marzo 2020 – in conseguenza della situazione pandemica – il prof. Olivieri ha supervisionato dall'Italia le attività del gruppo operante presso il BSC. Tutta l'attività è attestata da una **dichiarazione firmata del direttore del BSC** (titolo allegato).

Ha selezionato personalmente tutti i membri dei team di hardware design e hardware verification, che alla fine del 2021 contava oltre 15 persone. Ha altresì contribuito ai colloqui di selezione di personale senior che a tutt'oggi ricopre posizioni di top management presso il BSC.

Ha presentato personalmente in convegni e workshop internazionali, per conto del BSC, i risultati conseguiti durante le fasi successive del progetto.

In termini di pubblicazioni e presentazioni scientifiche la suddetta attività di coordinamento internazionale è documentata dai seguenti lavori:

- Gagliardi, F., Moreto, M., Olivieri, M., Valero, M., The international race towards Exascale in Europe. *CCF Transactions on High Performance Computing*, Vol. 1, pp. 3–13 (2019).
- M. Olivieri, “European Processor Initiative (EPI) Tutorial – Stream 3” – Invited Speaker – HiPEAC Conference – Bologna, 22 Gennaio 2020
- M. Olivieri, “The Convergence Between Supercomputers and IoT Nodes” – Invited Lecturer – ACM Europe Summer School on HPC Computer Architectures for AI and Dedicated Applications, Barcellona, Spagna, 23 Luglio 2019.
- M. Olivieri, “European Processor Initiative (EPI) Tutorial – Stream 3” – Invited Speaker – ACM European Summer School Opening Event – Barcellona, Spagna, 17 Luglio 2019.
- M. Olivieri, “The Strategic Touch Between Supercomputers And Embedded Systems in the Roadmap Towards Exascale: The European Processor Initiative”, Keynote Invited Speaker – HiPEAC ACACES Summer School Opening Event – Fiuggi, Italia, 14 Luglio 2019.
- M. Olivieri, “EPI and beyond: Perspectives of and European Supercomputing Center on Open Source Hardware and Software”, Invited Speaker, Week on Open Source Hardware in conjunction with the RISC-V European Workshop, Zurigo, 13 Giugno 2019
- M. Olivieri, F. Faggin (FagginFoundation), M. Ceccarelli (EU Commission), F. Magugliani (E4), E. Guidetti (STMicroelectronics), Tavola Rotonda su “Perspectives in Embedded and High Performance Computing”, Invited Speaker, Pisa, 26 Settembre 2018.
- E. Reggiani, C. Lazo, R. Bagué, A. Kestelman, M. Olivieri, O. Unsal, BiSon-e: A Lightweight and High-Performance Accelerator for Narrow Integer Linear Algebra Computing on the Edge, *27th ACM ASPLOS Conference*, Lausanne, Switzerland, Feb. 28 – Mar. 4 2022.
- Kovač, M., Dragić, L., Malnar, B., Minervini, F., Palomar, O., Rojas, C., Olivieri, M., Knezović, J., Kovač, M., FAUST: Design and implementation of a pipelined RISC-V vector floating-point unit, (2023) *Microprocessors and Microsystems*, 97.
- Minervini, F., Palomar, O., Unsal, O., Reggiani, E., Quiroga, J., Marimon, J., Rojas, C., Figueras, R., Ruiz, A., Gonzalez, A., Mendoza, J., Vargas, I., Hernandez, C., Cabre, J., Khoirunisya, L., Bouhali, M., Pavon, J., Moll, F., Olivieri, M., Kovac, M., Kovac, M., Dragic, L., Valero, M., Cristal, A., Vitruvius+: An Area-Efficient RISC-V Decoupled Vector Coprocessor for High Performance Computing Applications, (2023) *ACM Transactions on Architecture and Code Optimization*, 20 (2)

Parte X – Partecipazione in qualità di relatore (su invito o su selezione mediante peer-review) a congressi, convegni e scuole di interesse internazionale

Il prof. Mauro Olivieri ha personalmente tenuto le seguenti presentazioni e/o lezioni in contesti internazionali:

- M. Olivieri, : Vector computing on an embedded open-source processor platform”, – **Invited Lecturer** – ACM Europe Summer School on HPC Computer Architectures for AI and Dedicated Applications, Barcellona, 7 Luglio 2023
- M. Olivieri, “Customised vector acceleration in edge-computing RISC-V soft-cores”, – **Invited Lecturer** – ACM Europe Summer School on HPC Computer Architectures for AI and Dedicated Applications, Barcellona, 1 Settembre 2022
- M. Olivieri, “Vector acceleration in HPC and Edge Devices” – **Invited Lecturer** – ACM Europe Summer School on HPC Computer Architectures for AI and Dedicated Applications, 3 Settembre 2021 (Evento virtuale online causa misure anti-covid)
- M. Olivieri, “Klessydra-T: Designing Configurable Vector Co-Processors for Multi-Threaded Edge-Computing Soft-Cores”, Selected Speaker, RISC-V Summit, 8 Dec. 2020. San Jose, USA (Evento virtuale online con oltre 1500 partecipanti)
- M. Olivieri, “European Processor Initiative (EPI) Tutorial – Stream 3” – **Invited Speaker** – HiPEAC Conference – Bologna, 22 Gennaio 2020
- M. Olivieri, “The Convergence Between Supercomputers and IoT Nodes” – **Invited Lecturer** – ACM Europe Summer School on HPC Computer Architectures for AI and Dedicated Applications, Barcellona, Spagna, 23 Luglio 2019.
- M. Olivieri, “European Processor Initiative (EPI) Tutorial – Stream 3” – **Invited Speaker** – ACM European Summer School Opening Event – Barcellona, Spagna, 17 Luglio 2019.
- M. Olivieri, “The Strategic Touch Between Supercomputers And Embedded Systems in the Roadmap Towards Exascale: The European Processor Initiative”, **Keynote Invited Speaker** – HiPEAC ACACES Summer School Opening Event – Fiuggi, Italia, 14 Luglio 2019.
- M. Olivieri, “EPI and beyond: Perspectives of and European Supercomputing Center on Open Source Hardware and Software”, **Invited Speaker**, Week on Open Source Hardware in conjunction with the RISC-V European Workshop, Zurigo, 13 Giugno 2019
- M. Olivieri, F. Faggin (FagginFoundation), M. Ceccarelli (EU Commission), F. Magugliani (E4), E. Guidetti (STMicroelectronics), Tavola Rotonda su “Perspectives in Embedded and High Performance Computing”, **Invited Speaker**, Pisa, 26 Settembre 2018.
- Benini, L., Mehra, R., Olivieri, M., IEEE/ACM International Symposium on Low Power Electronics and Design, Rome, **General Co-Chair Opening Talk**, Italy, 22 July 2015.
- Mastrandrea A., Olivieri, M., A new logic level delay modeling paradigm for nano-CMOS standard cell variation-aware simulation, Workshop on Variability modelling and mitigation techniques in current and future technologies (VAMM), in conjunction with DATE 2012, Dresden, Germany, 16 March 2012.
- Menichelli, F., Olivieri, M., Smorfa, S. Performance evaluation of Jpeg2000 implementation on VLIW cores, SIMD cores and multi-cores, IEEE International Symposium on Circuits and Systems (ISCAS), Rio De Janeiro, May 2011.
- Olivieri, M., Menichelli, F., Mastrandrea A., Ramundo, F., Nenzi, P., Contributions in evaluating the

statistical impact of technology variations on delay and power dissipation of logic cells, ECMI 2010, 16-th European Conference on Mathematics for Industry, Wuppertal, Germany, 26-30 July 2010.

- Olivieri, M.; Pappalardo, F.; Visalli, G., Performance-timing overhead trade-off analysis for a low-power data bus encoding based on input lines reordering, 32nd Conference of IEEE Industrial Electronics Society, (IECON 2005), 6-10 Nov. 2005. IEEE.
- M. Olivieri, M. Scarana, S. Smorfa, Circuit-level power efficiency investigation of advanced DSP architectures based on a specialized power modeling technique, International Symposium on Circuits and Systems, Kobe, Japan, May 2005. IEEE.
- M. Olivieri, F. Pappalardo, G. Visalli, Encoding circuits for low power optical on-chip communications International Symposium on Circuits and Systems, Kobe, Japan, May 2005. IEEE.
- Olivieri, M.; Scarana, M.; A comprehensive analytical model for embedded parallel microprocessors performance prediction IEEE International Conference on Industrial Technology (ICIT 2004), 8-10 Dec. 2004. IEEE.
- M. Olivieri, M. Raspa Power Efficiency of Application-Dependent Self-Configuring Pipeline Depth in DSP Microprocessors, International Parallel and Distributed Processing Symposium- Reconfigurable Architectures Workshop. Nice (FR), June 2003. IEEE.
- M. Olivieri, Achieving Power Efficiency through Minimum Cycle Time in Digital Signal Processor Design –27th Annual Conference of the IEEE Industrial Electronics Society, IECON 2001. Denver, CO, 2001.
- M. Olivieri, Theoretical system level limits of power-performance trade-off in VLSI microprocessor design, Workshop on Complexity Effective Design, in conjunction with the IEEE/ACM Int. Symp. on Computer Architecture (ISCA), Goteborg, Sweden, Jun. 2001.
- M. Olivieri and A. Trifiletti, An All-Digital Clock Generator Firm-Core Based on Differential Fine-Tuned Delay for Reusable Microprocessor Cores , IEEE International Symposium on Circuits and Systems, Sidney, Australia, May 2001.
- De Gloria and M. Olivieri, An Application Specific Multi-Port Ram Cell Circuit for Fast Register Renaming Units in High Speed Microprocessors, IEEE International Symposium on Circuits and Systems, Sidney, Australia, May 2001.
- M. Olivieri, A Genetic Approach to The Design Space Exploration of Superscalar Microprocessor Architectures , IEEE International Symposium on Circuits and Systems, Sidney, Australia, May 2001.
- M. Olivieri, A. Trifiletti, A. De Gloria, A Low-Power Microcontroller with On-Chip Self-Tuning Digital Clock-Generator for Variable-Load Applications, International Conference on Computer Design, ICCD'99, Austin, Texas, Oct. 1999. IEEE.
- F. Ancarani, F. Bellotti, A. De Gloria, M. Olivieri, Instruction level analytic prediction of parallel CPU architecture performance, International Conference on Intelligent Information Systems, The Bahamas, Dec. 1997. IEEE.
- F. Ancarani, G. Cervetto, A. De Gloria, M. Olivieri, Analytic Performance Modeling of Clusters of PC Servers based on the Scalable Coherent Interface, Workshop on Performance Analysis and its Impact on Design , in conjunction with IEEE International Symposium on Computer Architecture (ISCA), Denver, CO, June 1997. IEEE-ACM.
- F. Ancarani, A. De Gloria, M. Olivieri, C. Stazzone, Design of an ASIC Architecture for High Speed Fractal Image Compression, ASIC 96, Rochester, U.S.A., September 1996. IEEE.
- F. Ancarani, A. De Gloria, M. Olivieri, A. Uber, System Level Modelling and Simulation, IEEE-SMC Conference on Computational Engineering in System Applications, Lille, Francia, Luglio 1996. IEEE.

- De Gloria and M. Olivieri, Design and Development of a multi-processor embedded system for high performance label printers, 13th IASTED Conference on Applied Informatics, Innsbruck, Austria, Feb. 1995.
- A. De Gloria, P. Faraboschi and M. Olivieri, A self-timed interrupt controller: a case study in asynchronous micro-architecture design in ASIC94, Rochester, NY, Sept 1994. IEEE. ISBN 0-7803-2020-4
- P. Antognetti, A. De Gloria, P. Faraboschi, M. Olivieri, A. Taddeo. VLSI design of a neural processing element for the Boltzmann machine. In ASIC 92, Rochester, U.S.A., September 1992. IEEE.
- P. Antognetti, P. Danielli, A. De Gloria, P. Faraboschi, M. Olivieri. A standard cell set for delay insensitive VLSI design. In ASIC 92, Rochester, U.S.A., September 1992. IEEE.
- De Gloria, P. Faraboschi, E. Guidetti, M. Olivieri. Asic and board design of a high performance parallel architecture. In EUROASIC 92, Paris, France, July 1992. IEEE.

Parte XI – Premi e riconoscimenti internazionali

Anno	Titolo
2015	IEEE Service Recognition Award - for outstanding contribution as General Co-Chair of ISLPED'15
2015	Association for Computing Machinery - ACM - Recognition of Service Award - for contributions as General co-Chair of ISLPED'15
2016	Elezione al grado di Senior Member of the IEEE
2019	Association for Computing Machinery - ACM - Service Certificate - for contributions as Lecturer of the 2019 ACM Europe Summer School

Parte XII – Relatore di tesi di dottorato di ricerca

Anno discussione tesi	Dottorando	Titolo tesi	
2005	Sapienza Universita' di Roma	Dott. Francesco Menichelli	Studio e Progetto di Microprocessori per Sistemi Integrati su Singolo Chip Orientati all'Efficienza nei Consumi
2006	Sapienza Universita' di Roma	Dott. Simone Smorfa	Optimization of Multimedia System-on-Chip at Multiple Abstraction Levels
2007	Sapienza Universita' di Roma	Dott. Mirko Scarana	Modellazione Analitica di Prestazioni ed Efficienza dei Consumi in Core di Elaborazione Numerica.
2007	Sapienza Universita' di Roma	Dott. Roberto Mancuso	Digital and Mixed-Signal VLSI Architectures for Multimedia Applications
2012	Sapienza Universita' di Roma	Dott. Orlando Ferrante	Distributed Design and Verification of System-on-Chip Architectures and Embedded Systems Following the Contract Based Methodology
2014	Sapienza Universita' di Roma	Dott. Antonio Mastrandrea	Statistical Characterization, Analysis And Modeling of Speed Performance In Digital Standard Cell Designs Subject to Process Variations
2014	Sapienza Universita' di Roma	Dott. Zia Abbas	Modeling and optimization of power – aware variation-aware CMOS and FINFET circuits
2015	Sapienza Universita' di Roma	Dott. Claudio S. Malavenda	Application Oriented Innovative Wireless Sensor Networks
2016	Sapienza Universita' di Roma	Dott. Usman Khalid	Reliability Estimation Techniques for Nano-scale MOSFETs and FinFETs Circuits affected by Noise, Process Variations and Aging
2020	Sapienza Universita' di Roma	Dott. Abdallah Cheikh	Energy Efficient Digital Electronic System Design for Edge-Computing application, through Innovative RISC-V Compliant Processors
2023	Universitat Politecnica de Catalunya,	Dott. Enrico Reggiani (co-supervisione con prof.	Efficient Hardware Acceleration of Deep Neural Networks via Arithmetic

	Barcelona, Spagna	Adrian Cristal Kestelman)	Complexity Reduction
2024	Sapienza Universita' di Roma	Dott. Marcello Barbirotta	Enhancing Fault Tolerance in Interleaved Multi-Threading RISC-V Processors: A Micro-architectural Approach
2024	Sapienza Universita' di Roma	Dott. Francesco Vigli	Design and development of fault-tolerant architectures for space-qualified RISC-V processors.

Il prof Mauro Olivieri e' attualmente supervisore dei seguenti Dottorandi

Anno previsto

discussione tesi

Ateneo

Dottorando

Argomento tesi

Anno previsto discussione tesi	Ateneo	Dottorando	Argomento tesi
2026	Sapienza Universita' di Roma	Dott. Marco Angioli	Hardware acceleration for hyperdimensional computing
2026	Sapienza Universita' di Roma	Dott. Saeid Jamili	Configurable hardware acceleration for machine learning and image recognition (borsa PNRR)

Inoltre, il prof. Mauro Olivieri e' membro del Collegio dei Docenti del **Dottorato di Interesse Nazionale in *Micro- and Nano-Electronics***, con sede amministrativa presso l'Universita' di Pavia.

Parte XIII – Responsabilità scientifica di ricercatori post-doc e assegnisti di ricerca

Anno di attivazione contratto	Tipologia	Titolare	Titolo
2005, 2000, 2007, 2008, 2009	Assegno di Ricerca	Dott. Francesco Menichelli	“Metodologie innovative per il progetto di architetture di System-on-Chip caratterizzate da criticità della dissipazione di potenza” (SSD ING-INF/01)
2010	Assegno di Ricerca	Dott. Francesco Menichelli	Progettazione e ottimizzazione prestazionale ed energetica di architetture digitali in tecnologie CMOS nanometriche” (SSD ING-INF/01)
2011	Contratto di collaborazione a progetto di ricerca	Dott. Francesco Menichelli	“Sviluppo di codice VHDL e SystemC per la simulazione di sistemi integrati digitali a variazioni dei parametri tecnologici”
2012	Assegno di Ricerca	Dott. Alessandro Pesci	"Attività di coordinamento e ricerca su strumenti e metodi di Design-for-Yield nell'ambito progetto Marie Curie IAPP People Manon" (SSD ING-INF/01)
2014, 2015, 2016, 2017	Assegno di Ricerca	Dott. Antonio Mastrandrea	Caratterizzazione delle probabilità di failure di celle digitali in tecnologie CMOS e FINFET nanometriche (SSD ING-INF/01)
2014	Assegno di Ricerca	Dott. Zia Abbas	Modelli e ottimizzazione del consumo di potenza statica in celle digitali in tecnologie CMOS e FINFET nanometriche (SSD ING-INF/01)
2014	Contratto di collaborazione a progetto di ricerca	Dott. Vittorio Latorre	“Methods for Advanced Multi-Objective Optimization for DFY of complex Nanoscale Circuits”
2015	Borsa Post-Doc	Dott. Zia Abbas	“Metodi di ottimizzazione della reliability di circuiti integrati digitali su scala nanometrica” (SSD ING-INF/01)

2020, 2021, 2022, 2023, 2024	Assegno di ricerca	Dott. Abdallah Cheikh	Progettazione di processori RISC-V dotati di accelerazione hardware adattativa
2020	Contratto di collaborazione a progetto di ricerca	Dott. Antonio Mastrandrea	Progettazione di sottosistema di debug per processori RISC-V
2021	Contratto di collaborazione a progetto di ricerca	Dott. Antonio Mastrandrea	Sintesi e ottimizzazione RTL su FPGA e ASIC di acceleratori di calcolo riconfigurabili
2024	Assegno di Ricerca	Dott. Marcello Barbirotta	Tecniche di fault resilience in processori RISC-V general-purpose e vettoriali

Parte XIV – Partecipazione a consigli scientifici di enti nazionali o internazionali

Periodo	Ente	Incarico
Marzo 2011	Academy of Finland	Membro del comitato di revisori dei progetti di <i>communication engineering</i> finanziati dal governo Finlandese.
dal 23-05-2011 al 07-07-2011	Commissione Europea	Valutatore per i progetti europei FP7 ENIAC Joint Undertaking (European Nanoelectronics Initiative Advisory Council), Call 2011-1.
dal 11-05-2015 al 09-06-2015	Commissione Europea	Esperto (Expert) per la valutazione dei progetti europei Horizon 2020 ECSEL Joint Undertaking (Electronic Components and Systems for European Leadership), Call 2015.
dal 01-07-2014 al 31-12-2014	Invitalia – Agenzia Nazionale per l'Attrazione degli Investimenti e lo Sviluppo d'Impresa – Ministero dell'Economia.	Esperto nazionale sul tema Smart Cities and Communities - Smart Specialization Strategy , per il progetto PON-GAT 2007-2013 "Supporto alla definizione e all'attuazione delle politiche regionali di ricerca e innovazione".

Il prof. Mauro Olivieri e' attualmente registrato nel database degli Esperti valutatori per la Commissione Europea con il codice di riferimento EX2006C138927.

Parte XV – Attivita' in congressi, riviste e comitati scientifici

a) attività organizzativa di congressi e convegni di interesse internazionale

Anno	Ambito	Incarico
2015	IEEE/ACM International Symposium on Low Power Electronics and Design (ISLPED'15). ISLPED e' la principale conferenza mondiale sulla progettazione elettronica a basso consumo di potenza.	General Co-Chair

b) Attività editoriali di coordinamento in riviste internazionali di rilievo di interesse del SSD

Anni	Ambito	Incarico
2021-2023	Rivista <i>Journal of Circuits, Systems and Computers</i> , Ed. World Scientific Publishing Ltd. <i>Impact Factor 1.33</i>	Associate Editor
2020	Rivista <i>Electronics (Switzerland)</i> , Ed. MDPI <i>Impact Factor 2.4</i>	Guest Editor per Special Issue on "Advanced Embedded System Design"

c) Partecipazione a comitati scientifici di riviste e di congressi

Anni	Ambito	Incarico
2014	IEEE/ACM Conference on Design Automation and Test in Europe (DATE'14). DATE e' la principale conferenza europea sullo sviluppo di strumenti di progettazione elettronica.	Technical Program Committee Member
2013	IEEE/ACM Conference on Design Automation and Test in Europe (DATE'13). DATE e' la principale conferenza europea sullo sviluppo di strumenti di progettazione elettronica.	Technical Program Committee Member
1996-oggi	Rivista <i>IEEE Transactions on Computers</i> Rivista <i>IEEE Transactions on Very Large Scale Integrated (VLSI) Systems</i> Rivista <i>IEEE Transactions on Circuits and Systems I / II</i> Rivista <i>IET Proceedings - Computers and Digital Techniques</i> Rivista <i>IEEE Transactions on Computer Aided Design of Electronic Circuits and Systems</i>	Reviewer

	<i>Rivista MDPI Electronics (Switzerland), Impact Factor 2.6 (2024)</i>	
	<i>Rivista MDPI Chips</i>	

Parte XVI – Attività universitarie istituzionali e gestionali, incluse cariche elettive

Anni	Attività
Dal 2009 a oggi	Rappresentante dell'Università Sapienza, su delega permanente del Rettore, nella Association for European Nanoelectronics Activities (AENEAS). L'associazione AENEAS composta da oltre 560 enti membri, prevalentemente industriali, promuove in particolare le attività della CHIPS Joint Undertaking (precedentemente Key Digital Technologies – KDT, ECSEL e ENIAC) dell'Unione Europea. Delega conferita nel 2009 e nuovamente ratificata nel 2024 dal Senato Accademico.
Dal 2021 a oggi	Direttore del Nodo "Sapienza" del Laboratorio Nazionale sulle Tecnologie High Performance Computing del Consorzio Interuniversitario Nazionale per l'Informatica (CINI).
Dal 2019 a oggi	Coordinatore della Commissione Didattica per il Consiglio di Area Didattica di Ingegneria Elettronica presso l'Università Sapienza
Dal 2016 a oggi	Membro della Giunta di Area Didattica di Ingegneria Elettronica presso l'Università Sapienza
Da AA 2009/10 a AA 2010/11	Coordinatore del Dottorato di Ricerca in Ingegneria Elettronica dell'Università di Roma Sapienza (carica elettiva)
2005	Membro di Commissione di Valutazione Comparativa per posto di Professore di II fascia presso l'Università di Roma Tor Vergata
2006	Membro di Commissione di Valutazione Comparativa per posto di Ricercatore presso l'Università di Roma La Sapienza
2013	Membro di Commissione di Valutazione Comparativa per posti di Ricercatore a Tempo Determinato di tipo A, Università di Sassari
2017	Membro di Commissione di Valutazione Comparativa per posto di Ricercatore a Tempo Determinato di tipo A, Università di Bologna
2017	Membro di Commissione di Valutazione Comparativa per posto di Ricercatore a Tempo Determinato di tipo A, Università di Cagliari
2018	Membro di Commissione di Valutazione Comparativa per posto di Ricercatore a Tempo Determinato di tipo A, Università di Genova
2019	Membro di Commissione di Valutazione Comparativa per posto di Ricercatore a Tempo Determinato di tipo B, Università di Genova
2020	Membro di Commissione di Valutazione Comparativa per posto di Ricercatore a Tempo Determinato di tipo A, Università di Bologna

2021	Membro di Commissione di Valutazione Comparativa per posto di Ricercatore a Tempo Determinato di tipo A, Università di Genova
dal 2002 al 2004	Membro della Giunta del Dipartimento di Ingegneria Elettronica dell'Università di Roma La Sapienza
2000	Membro della commissione di 3 docenti che ha predisposto l'insieme dei percorsi di studio per le nuove Lauree Magistrali in Ingegneria Elettronica all'Università di Roma La Sapienza.
1997	Membro della Commissione d'esame per l'abilitazione alla Professione di Ingegnere presso l'Università di Genova
1999	Membro della Commissione d'esame per l'abilitazione alla Professione di Ingegnere presso l'Università di Roma La Sapienza
2000	Presidente della commissione per l'assegnazione delle borse di collaborazione ai laboratori del Dipartimento di Ingegneria Elettronica
2002, 2004, 2005, 2010, 2014	Membro di Commissioni per il conferimento di Assegni di Ricerca l'Università di Roma La Sapienza
2002	Membro della Commissione per l'esame finale del Dottorato di Ricerca in Ingegneria Elettronica ed Informatica (XIV ciclo) dell'Università di Genova
2004	Membro della Commissione per l'esame finale del Dottorato di Ricerca in Scienze e Ingegneria dello Spazio (XVI ciclo) dell'Università di Genova
2004	Membro della Commissione per l'esame finale del Dottorato di Ricerca in Ingegneria Elettronica (XVI ciclo) dell'Università di Roma Tre
2005	Membro della Commissione per l'esame finale del Dottorato di Ricerca in Scienze e Tecnologie dell'Informazione e della Comunicazione (XIX ciclo) dell'Università di Genova
2008	Membro della Commissione per l'esame finale del Dottorato di Ricerca in Ingegneria Elettronica dell'Università di Bologna
2009, 2011	Membro della Commissione per l'esame finale del Dottorato di Ricerca in Ingegneria elettronica, informatica, della Robotica e delle Telecomunicazioni dell'Università di Genova
2021	Membro della Commissione di esame finale del Dottorato di Ricerca in Ingegneria dell'Informazione / Information Technology del Politecnico di Milano
2024	Membro della Commissione di esame finale del Dottorato di Ricerca in Information & Communication Technologies (ICT) presso la Sapienza Università di Roma
2024	Membro della Commissione di selezione per Ricercatore Tenure Track (RTT) presso l'Università di Genova.

Elenco delle pubblicazioni scientifiche

Riviste Internazionali

- [1] A. Costa, A. De Franciscis, A. De Gloria, P. Faraboschi and M. Olivieri. Spectral estimation for 2-D Doppler ultrasound imaging. *Electronics Letters*, 28(23):2177-2179, November 1992. DOI: 10.1049/el:19921397
- [2] P. Danielli, A. De Gloria, P. Faraboschi, and M. Olivieri. A delay insensitive approach to VLSI design of a DRAM controller, *Microprocessing and Microprogramming*, 37(1-3):19-22, Feb. 1993. DOI: 10.1016/0165-6074(93)90007-8
- [3] A. De Gloria, P. Faraboschi, and M. Olivieri. Design of a massively parallel SIMD architecture for the Boltzmann machine. *Microprocessing and Microprogramming*, 37(1-3):153-156, Jan. 1993. DOI: 10.1016/0165-6074(93)90037-L
- [4] A. De Gloria, P. Faraboschi, and M. Olivieri. Clustered Boltzmann machines: Massively parallel architectures for constrained optimization problems. *Parallel Computing*, 19(2): 163-175, Feb. 1993. DOI: 10.1016/0167-8191(93)90046-N
- [5] A. De Gloria, P. Faraboschi, and M. Olivieri. Efficient implementation of The Boltzmann Machine Algorithm, *IEEE Transactions on Neural Networks*, 4(1): 159-164, Jan. 1993. DOI: 10.1109/72.182711
- [6] A. Costa, A. De Gloria, P. Faraboschi, and M. Olivieri. A Parallel Architecture for Color Doppler Flow Technique in Ultrasound Imaging *Microprocessing and Microprogramming*, 38(9): 545-551, Sept. 1993. DOI: 10.1016/0165-6074(93)90194-P
- [7] A. Costa, A. De Gloria, P. Faraboschi, G. Nateri, and M. Olivieri. An Asynchronous Approach to the RISC Design of a Micro-Controller, *Microprocessing and Microprogramming*, 38(9): 447-454, Sept. 1993. DOI: 10.1016/0165-6074(93)90180-S
- [8] A. De Gloria , P. Faraboschi, and M. Olivieri. Delay Insensitive Micro-Pipelined Combinational Logic. *Microprocessing and Microprogramming*, 36(1993):225-241, Oct. 1993. DOI: 10.1016/0165-6074(93)90262-J
- [9] A. De Gloria, P. Faraboschi, and M. Olivieri. Block placement with a Boltzmann machine. *IEEE Transactions on Computer Aided Design of Electronic Circuits and Systems*, 13(6):694-701, June 1994. DOI: 10.1109/43.285242
- [10] A. De Gloria, P. Faraboschi, and M. Olivieri. Design and characterization of a standard cell set for delay insensitive VLSI design. *IEEE Transactions on Circuits and Systems.*, 41(6):410-414, June 1994. DOI: 10.1109/82.300201
- [11] A. De Gloria and M. Olivieri, Efficient Semi-custom Micropipeline Design, *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, 3(3):464-469, Sept. 1995. DOI: 10.1109/92.407007
- [12] A. De Gloria and M. Olivieri, Statistical Carry Lookahead Adders, *IEEE Transactions on Computers*, 45(3):340-347, Mar. 1996. DOI 10.1109/12.485572
- [13] A. Costa, A. De Gloria, M. Olivieri, Hardware Design of Asynchronous Fuzzy Controllers, *IEEE Transactions on Fuzzy Systems*, Vol. 4, n.3, Aug. 1996. DOI: 10.1109/91.531774

- [14] A. De Gloria e M. Olivieri, An asynchronous distributed architecture scheme for the Boltzmann Machine control mechanism, *IEEE Transactions on Neural Networks*, vol. 7, n. 6, Nov. 1996. DOI: 10.1109/72.548186
- [15] A. Costa, A. De Gloria, F. Giudici, M. Olivieri, Fuzzy Logic Micro-Controller, *IEEE Micro*, vol. 17, n. 1, Jan-Feb. 1997. DOI: 10.1109/40.566209
- [16] A. De Gloria, D. Grosso, M. Olivieri and G. Restani, A novel stability analysis of a PLL for timing recovery in hard disk drives, *IEEE Transactions on Circuits and Systems*, 46(18), Aug. 1999. DOI: 10.1109/81.780384
- [17] M. Bertacchi, A. De Gloria, D. Grosso, M. Olivieri, Semicustom Design of an IEEE 1394 Compliant IC core, *IEEE Design & Test*, Set. 2000. DOI: 10.1109/92.407007
- [18] A. De Gloria and M. Olivieri, Completion Detecting Carry Select Addition, *IEE Proceedings: Computer and Digital Techniques*, 147(2), Mar. 2000. DOI: 10.1049/ip-cdt:20000451
- [19] M. Olivieri, Overview on a formal model of architecture/circuit trade-offs for the implementation of fast processors, *Computer Physics Communications*, Vol. 139, n. 1, Sept. 2001. Elsevier. ISSN 0010-4655. DOI: 10.1016/S0010-4655(01)00236-3
- [20] M. Olivieri, Design of Synchronous and Asynchronous Variable-Latency Pipelined Multipliers, *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol. 9 n. 2, pp. 365-376. Apr. 2001. ISSN: 1063-8210. DOI 10.1109/92.924058
- [21] M. Olivieri, Theoretical system-level limits of power dissipation reduction under a performance constraint in VLSI microprocessor design, *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, Vol. 10 n. 5, pp. 595-600, Oct. 2002. DOI 10.1109/TVLSI.2002.801549
- [22] F. Centurelli, R. Luzzi, M. Olivieri, A. Trifiletti A Bootstrap Technique for Wideband Amplifier, *IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications*, Vol. 49 n. 10, pp. 1474 -1480, Oct 2002. DOI: 10.1109/TCSI.2002.803359
- [23] A. Di Martino, P. Marietti, M. Olivieri, P. Tommasino, A. Trifiletti Statistical non-linear model of MESFET and HEMT devices, *IEE Proceedings, part G – Circuits, Devices and Systems*, Vol.150 n. 2, pp. 95 -103, Apr. 2003. ISSN 13502409. DOI: 10.1049/ip-cds:20030334
- [24] L. Benini, F. Menichelli and M.Olivieri, A Class of Code Compression Schemes for Reducing Power Consumption in Embedded Microprocessor Systems, *IEEE Transactions on Computers*, Vol. 53 n.4 pp. 467-482, Apr 2004. DOI 10.1109/TC.2004.1268405
- [25] M. Olivieri, F. Pappalardo, G. Visalli, Bus-Switch Coding for Reducing Power Dissipation in Off-Chip Buses, *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, Volume 12, Issue 12, Dec. 2004, pp. 1374 – 1377. DOI: 10.1109/TVLSI.2004.837998
- [26] M. Olivieri, G. Scotti, A. Trifiletti, A novel yield optimization technique for digital CMOS circuit design by means of process parameters run-time estimation and body bias active control, *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol. 13, n. 5, May 2005, pp. 630-638. DOI: 10.1109/TVLSI.2005.844290
- [27] Olivieri, M.; Scotti, G.; Tommasino, P.; Trifiletti, A.; Necessary and Sufficient Conditions for the Stability of Microwave Amplifiers With Variable Termination Impedances, *IEEE Transactions on Microwave Theory and Techniques*, vol. 53, n. 8, Aug. 2005, pp. 2580 – 2586. DOI: 10.1109/TMTT.2005.852759

- [28] F. Menichelli, D. Bertozzi, L. Benini, M. Olivieri, A. Bogliolo, MPARM: Exploring the Multi-Processor SoC Design Space with SystemC, *Journal of VLSI Signal Processing Systems*, vol. 41, n. 2, Kluwer Academics, pp. 169-182, Sept. 2005. ISSN 1387-5485. DOI: 10.1007/s11265-005-6648-1
- [29] M. Olivieri, S. Smorfa, A. Trifiletti, Design and test of a novel programmable clock generator semi-custom core for energy-efficient systems-on-chips, *Journal of Low Power Electronics*, 2005, vol. 1(3), pp. 309-318. ISSN 1546-1998. DOI: <https://doi.org/10.1166/jolpe.2005.041>
- [30] Riedel, F., Mancuso, R., Olivieri, M., Safe start-up sequence of integrated charge pumps using dedicated control circuit, *Electronics Letters*, vol. 41, n. 25, Dec. 2005. pp. 1374 – 1375. ISI. DOI: 10.1049/el:20052778
- [31] Smorfa, S., Olivieri, M., Mancuso, R., Lienhard, M., A physical-level LCD driver model and simulator with application to pixel crosstalk suppression, *IEEE Transactions on Consumer Electronics*, vol. 52, n. 3, Aug. 2006, pp. 1027-34. DOI: 10.1109/TCE.2006.1706503
- [32] Olivieri, M., Smorfa, S., HW-SW Optimization of Jpeg2000 Wavelet Transform for Dedicated Multimedia Processor Architectures, *IET Computers & Digital Techniques* (già denominata IEE Proceedings - Computers & Digital Techniques), Vol.1, n.2. Mar 2007, pp. 137-143. ISSN 1751-8601, DOI: 10.1049/iet-cdt:20060119
- [33] M. Olivieri, R. Mancuso, F. Riedel, "A reconfigurable, low power, temperature compensated IC for 8-segment gamma correction curve in TFT, OLED and PDP displays", *IEEE Transactions on Consumer Electronics*, vol. 53, n. 2, May 2007. DOI: 10.1109/TCE.2007.381751
- [34] Olivieri, M., Pappalardo, F., Smorfa, S., Visalli, G., Analysis and Implementation of a Novel Leading Zero Anticipation Algorithm for Floating Point Arithmetic Units, *IEEE Transactions on Circuits and Systems II*, vol. 54, n. 8, Aug. 2007. DOI: 10.1109/TCSII.2007.896937
- [35] Bucci, M., Luzzi, R., Menichelli, F., Menicocci, R., Olivieri, M., Trifiletti, A., Testing power-analysis attack susceptibility in Register Transfer Level designs, *IET Information Security* (già denominata IEE Proceedings - Information Security), vol. 1, n. 3, Sept. 2007. DOI: 10.1049/iet-ifs:20060112
- [36] Smorfa, S., Olivieri, M., Mancuso, R., A novel high-quality YUV-based image coding technique for efficient image storage in portable electronic appliances, *IEEE Transactions on Consumer Electronics*, vol. 54, n. 2, pp. 695-702, May 2008. ISSN: 0098-3063. DOI: 10.1109/TCE.2008.4560149
- [37] Menichelli, F., Menicocci, R., Olivieri, M., Trifiletti, A., High Level Side Channel Attack Modeling and Simulation for Security-Critical Systems-on-Chips, *IEEE Transactions on Dependable and Secure Computing*, vol. 5, n. 3, July 2008. ISSN 1545-5971. DOI: 10.1109/TDSC.2007.70234
- [38] Menichelli, F., Olivieri, M., Static Minimization of Total Energy Consumption in Memory Subsystem for Scratchpad-based Systems-on-Chips, *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol. 17, n. 2, Feb. 2009, pp. 161-171. ISSN 1063-8210. DOI 10.1109/TVLSI.2008.2001940
- [39] F. Menichelli and M. Olivieri, Tiktak: A scalable simulator of wireless sensor networks including hardware/software interaction, *Wireless Sensor Networks*, vol. 2, pp 815-822, November 2010. ISSN: 1945-3078. DOI: 10.4236/wsn.2010.211098
- [40] Abbas, Z., Scotti, G., Olivieri, M., Current controlled current conveyor (CCCII) and application using 65nm CMOS technology. *WASET Journal - World Academy of Science, Engineering and*

Technology, vol. 79, pp. 935-939 , July 2011. ISSN: 2010-376X. Scopus id: 2-s2.0-79960796020

- [41] Malavenda, C. S., Menichelli, F., Olivieri, M., Delay-Tolerant, Low-Power Protocols for Large Security-Critical Wireless Sensor Networks, *Journal of Computer Networks and Communications*, vol. 2012, Article ID 863521, 2012. ISSN: 2090-7141, doi:10.1155/2012/863521.
- [42] F. Ramundo, P. Nenzi, M. Olivieri, First integration of MOSFET Band-To-Band-Tunneling current in BSIM4, *Microelectronics Journal*, Volume 44, Issue 1, Jan. 2013, Pages 26-32. Elsevier. ISSN: 0026-2692. DOI:10.1016/j.mejo.2011.07.016.
- [43] Olivieri, M., Mastrandrea, A., A general design methodology for synchronous early-completion-prediction adders in Nano-CMOS DSP architectures, *VLSI Design*, vol. 2013, Article ID 785281. ISSN: 1065-514X. DOI: 10.1155/2013/785281.
- [44] Abbas, Z., Olivieri, M., Yakupov, M., Ripp, A., Design centering/yield optimization of power aware band pass filter based on CMOS current controlled current conveyor (CCCII+), *Microelectronics Journal*, 44 (4) , pp. 321-331, 2013. Elsevier. ISSN: 0026-2692. DOI: 10.1016/j.mejo.2012.11.004.
- [45] Olivieri, M., Mastrandrea, A., Logic Drivers: A Propagation Delay Modeling Paradigm for Statistical Simulation of Standard Cell Designs, *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol.22, no.6, pp.1429,1440, June 2014. DOI: 10.1109/TVLSI.2013.2269838.
- [46] Abbas, Z., Olivieri, M., Impact of technology scaling on leakage power in nano-scale bulk CMOS digital standard cells, *Microelectronics Journal*, 2014. Elsevier. ISSN: 0026-2692. Volume 45, Issue 2, February 2014, Pages 179-190. DOI: 10.1016/j.mejo.2013.10.013.
- [47] Abbas, Z.; Mastrandrea, A.; Olivieri, M., A Voltage-Based Leakage Current Calculation Scheme and its Application to Nanoscale MOSFET and FinFET Standard-Cell Designs, *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol. 22, no. 12, pp. 2549-2560, Dec. 2014. DOI: 10.1109/TVLSI.2013.2294550.
- [48] C. S. Malavenda, F. Menichelli, M. Olivieri, A Regulation-Based Security Evaluation Method for Data Link in Wireless Sensor Network, *Journal of Computer Networks and Communications*, Volume 2014, Article ID 591920, Hindawi, 2014. ISSN: 2090-7141 DOI: 10.1155/2014/591920.
- [49] Khalid, U., Mastrandrea, A., Olivieri, M., Effect of NBTI/PBTI aging and process variations on write failures in MOSFET and FinFET flip-flops, *Microelectronics Reliability*, 55 (12), pp. 2614-2626. 2015. DOI: 10.1016/j.microrel.2015.07.050.
- [50] Abbas, Z., Olivieri, M., Optimal transistor sizing for maximum yield in variation-aware standard cell design, *International Journal of Circuit Theory and Applications*, 44 (7), pp. 1400-1424. 2016. DOI: 10.1002/cta.2167.
- [51] Abbas, Z., Olivieri, M., Ripp, A., Yield-driven power-delay-optimal CMOS full-adder design complying with automotive product specifications of PVT variations and NBTI degradations, *Journal of Computational Electronics*, 15 (4), 2016. pp. 1424-1439. DOI: 10.1007/s10825-016-0878-2.
- [52] Olivieri, M., Menichelli, F., Mastrandrea, A., Optimal pipeline stage balancing in the presence of large isolated interconnect delay, *Electronics Letters*, 53 (4), 2017. pp. 229-231. DOI: 10.1049/el.2016.4262, ISSN: 00135194.
- [53] Stazi, G., Mastrandrea, A., Olivieri, M., Menichelli, F., Full system emulation of approximate memory platforms with Appropinquo, (2019) *Journal of Low Power Electronics*, 15 (1), pp. 30-39.

DOI: 10.1166/jolpe.2019.1595

- [54] Gagliardi, F., Moreto, M., Olivieri, M., Valero, M., The international race towards Exascale in Europe. CCF Transactions on High Performance Computing, Vol. 1, pp. 3–13 (2019). ISSN: 25244922. DOI: 10.1007/s42514-019-00002-y
- [55] Bellizia, D., Bongiovanni, S., Olivieri, M., Scotti, G., SC-DDPL: A Novel Standard-Cell Based Approach for Counteracting Power Analysis Attacks in the Presence of Unbalanced Routing, (2020) IEEE Transactions on Circuits and Systems I: Regular Papers, 67 (7), art. no. 9040870, pp. 2317-2330. DOI: 10.1109/TCSI.2020.2979831
- [56] Centurelli, F., Fava, A., Olivieri, M., Tommasino, P., Trifiletti, A., A low-voltage class-AB OTA exploiting adaptive biasing, (2020) AEU International Journal of Electronics and Communications, vol. 122. DOI: 10.1016/j.aeue.2020.153282
- [57] Sordillo, S., Cheikh, A., Mastrandrea, A., Menichelli, F., and Olivieri, M., Customizable vector acceleration in extreme-edge computing: A risc-v software/hardware architecture study on VGG-16 implementation, (2021) Electronics (Switzerland), 10 (4), art. no. 518, pp. 1-21. DOI: 10.3390/electronics10040518
- [58] Cheikh, A., Sordillo, S., Mastrandrea, A., Menichelli, F., Scotti, G., and Olivieri, M., Klessydra-T: Designing Vector Coprocessors for Multithreaded Edge-Computing Cores, (2021) IEEE Micro, 41 (2), pp. 64-71. DOI: 10.1109/MM.2021.3050962
- [59] Barbirotta M., Cheikh A., Mastrandrea A., Menichelli F., Olivieri M., Design and Evaluation of Buffered Triple Modular Redundancy in Interleaved-Multi-Threading Processors, (2022), IEEE Access, 10, pp. 126074 – 126088. DOI: 10.1109/ACCESS.2022.3225975
- [60] Barbirotta, M., Cheikh, A., Mastrandrea, A., Menichelli, F., Angioli, M., Jamili, S., Olivieri, M., Fault-Tolerant Hardware Acceleration for High-Performance Edge-Computing Nodes, (2023) Electronics (Switzerland), 12 (17) DOI: 10.3390/electronics12173574
- [61] Minervini, F., Palomar, O., Unsal, O., Reggiani, E., Quiroga, J., Marimon, J., Rojas, C., Figueras, R., Ruiz, A., Gonzalez, A., Mendoza, J., Vargas, I., Hernandez, C., Cabre, J., Khoirunisya, L., Bouhali, M., Pavon, J., Moll, F., Olivieri, M., Kovac, M., Kovac, M., Dragic, L., Valero, M., Cristal, A., Vitruvius+: An Area-Efficient RISC-V Decoupled Vector Coprocessor for High Performance Computing Applications, (2023) ACM Transactions on Architecture and Code Optimization, 20 (2), DOI: 10.1145/3575861
- [62] Barbirotta, M., Cheikh, A., Mastrandrea, A., Menichelli, F., Ottavi, M., Olivieri, M., Evaluation of Dynamic Triple Modular Redundancy in an Interleaved-Multi-Threading RISC-V Core, (2023) Journal of Low Power Electronics and Applications, 13 (1), DOI: 10.3390/jlpea13010002
- [63] Kovač, M., Dragić, L., Malnar, B., Minervini, F., Palomar, O., Rojas, C., Olivieri, M., Knezović, J., Kovač, M., FAUST: Design and implementation of a pipelined RISC-V vector floating-point unit, (2023) Microprocessors and Microsystems, 97, DOI: 10.1016/j.micpro.2023.104762
- [64] Angioli, M., Barbirotta, M., Cheikh, A., Mastrandrea, A., Menichelli, F., Jamili, S., and Olivieri, M., Design, Implementation and Evaluation of a New Variable Latency Integer Division Scheme (2024) IEEE Transactions on Computers, 73 (7), pp. 1767-1779. DOI: 10.1109/TC.2024.3386060
- [65] Vigli, F., Barbirotta, M., Cheikh, A., Menichelli, F., Mastrandrea, A., and Olivieri, M., A RISC-V Fault-Tolerant Soft-Processor Based on Full/Partial Heterogeneous Dual-Core Protection (2024)

IEEE Access, 12, pp. 30495-30506. DOI: 10.1109/ACCESS.2024.3366806

- [66] M. Barbirotta, F. Menichelli, A. Cheikh, A. Mastrandrea, M. Angioli and M. Olivieri, Dynamic Triple Modular Redundancy in Interleaved Hardware Threads: an Alternative Solution to Lockstep Multi-Cores for Fault-Tolerant Systems (2024), IEEE Access. 12, pp. 95720 - 95735, DOI: 10.1109/ACCESS.2024.3425579. Scopus ID 2-s2.0-85198298597.

Capitoli di libri internazionali

- [67] A. De Gloria, P. Faraboschi, and M. Olivieri, Performance analysis of a VLSI parallel architecture for Prolog. In J. Delgado-Frias and W. Moore, editors, VLSI for Artificial Intelligence and Neural Networks, pp. 275-284. Plenum Press, New York, USA, 1994.
- [68] A. De Gloria, D. Grosso, M. Olivieri, P. Ferrari, L. Puglisi, Implementation Techniques for Fuzzy Theory Systems and Their Applications, in Fuzzy Theory Systems Techniques and Applications, Vol. 3, edited by Cornelius T. Leondes, Academic Press, San Diego, CA, 1999. (ISBN: 0124438709)
- [69] A. De Gloria, F. Bellotti, D. Grosso, L. Noli and M. Olivieri, An interactive VHDL simulator for IEEE 802.11 networks, in Recent Advances in Signal Processing and Communications Century. World Scientific Engineering Society, 1999. pp. 239-248 (ISBN: 960-8052-03-3).
- [70] Smorfa, S., Olivieri, M., Mancuso, R., LCD Design Techniques, in Encyclopedia of Computer Science and Engineering, Wiley, NJ, 2008.
- [71] Z. Abbas, A. Mastrandrea, F. Menichelli and M. Olivieri, Simulations of Digital IC Blocks, in Open Source TCAD/EDA for Compact Modeling, W. Grabinski and D. Tomaszewski, Eds. New York: Springer, 2021. ISBN 978-94-024-1089-1

Convegni Internazionali

- [72] A. De Gloria, P. Faraboschi, E. Guidetti, M. Olivieri. Asic and board design of a high performance parallel architecture. In EUROASIC 92, pp. 244-249. Paris, France, July 1992. IEEE.
- [73] P. Antognetti, P. Danielli, A. De Gloria, P. Faraboschi, M. Olivieri. A standard cell set for delay insensitive VLSI design. In ASIC 92, pp. 123-126. Rochester, U.S.A., September 1992. IEEE.
- [74] P. Antognetti, A. De Gloria, P. Faraboschi, M. Olivieri, A. Taddeo. VLSI design of a neural processing element for the Boltzmann machine. In ASIC 92, pp. 309-312. Rochester, U.S.A., September 1992. IEEE.
- [75] A. De Gloria, P. Faraboschi, M. Olivieri. A non-deterministic scheduler for a software pipelining compiler. In 25th Annual International Symposium on Microarchitecture, pp. 41-44. Portland, U.S.A., November 1992. IEEE/ACM.
- [76] A. Costa, A. De Gloria, P. Faraboschi, M. Olivieri. An analysis of dynamic scheduling techniques for symbolic application, In 26rd Annual International Symposium on Microarchitecture, pp. 185-191. Austin, U.S.A., November 1993. IEEE/ACM.
- [77] A. Costa, A. De Gloria, P. Faraboschi and M. Olivieri, An Evaluation System for Distributed-Time VHDL Simulation in PADS 94, pp. 147-150. Edimburgh, UK, June 1994. IEEE.
- [78] A. De Gloria, P. Faraboschi and M. Olivieri, A self-timed interrupt controller: a case study in

asynchronous micro-architecture design in ASIC94, pp. 296-299. Rochester, NY, Sept 1994. IEEE. ISBN 0-7803-2020-4

- [79] A. De Gloria and M. Olivieri, Design and Development of a multi-processor embedded system for high performance label printers, 13th IASTED Conference on Applied Informatics, pp. 235-237. Innsbruck, Austria, Feb. 1995. IASTED. ISBN: 0889862141
- [80] F. Ancarani, A. De Gloria, M. Olivieri, A. Uber, System Level Modelling and Simulation, IEEE-SMC Conference on Computational Engineering in System Applications, pp. 56-61. Lille, Francia, Luglio 1996. IEEE.
- [81] F. Ancarani, A. De Gloria, M. Olivieri, C. Stazzone, Design of an ASIC Architecture for High Speed Fractal Image Compression, ASIC 96, Rochester, U.S.A., September 1996. IEEE.
- [82] F. Ancarani, G. Cervetto, A. De Gloria, M. Olivieri, Analytic Performance Modeling of Clusters of PC Servers based on the Scalable Coherent Interface, Workshop on Performance Analysis and its Impact on Design , in conjunction with IEEE International Symposium on Computer Architecture (ISCA), Denver, CO, June 1997. IEEE-ACM.
- [83] F. Ancarani, F. Bellotti, A. De Gloria, M. Olivieri, Instruction level analytic prediction of parallel CPU architecture performance, International Conference on Intelligent Information Systems, The Bahamas, Dec. 1997. IEEE.
- [84] F. Bellotti, A. De Gloria, M. Olivieri, Trace statistic extraction techniques for fast instruction level microprocessor evaluation. Workshop on Performance Analysis and its Impact on Design, presso International Symposium on Computer Architecture, Barcelona, Spain, June 1998. IEEE-ACM.
- [85] A. De Gloria, M. Olivieri, P. Palma, Delay-insensitive synthesis of the MCS 251 microcontroller core for low power applications, 25th EUROMICRO Conference. Los Alamitos, CA, USA; 1999; pp. p.244-7 vol. IEEE.
- [86] M. Olivieri, A. Trifiletti, A. De Gloria, A Low-Power Microcontroller with On-Chip Self-Tuning Digital Clock-Generator for Variable-Load Applications, International Conference on Computer Design, ICCD'99, Austin, Texas, Oct. 1999. IEEE.
- [87] R. Luzzi, M. Olivieri, S. Pennisi, A. Trifiletti, A new wideband negative bias current source MIXDES 2000: 7th International Conference on Mixed Design of Integrated Circuits and Systems, Gdynia, Poland, July 2000.
- [88] F. Centurelli, R. Luzzi, M. Olivieri, A. Trifiletti, A bootstrap technique for wideband amplifiers, MIXDES 2000: 7th International Conference on Mixed Design of Integrated Circuits and Systems, Gdynia, Poland, July 2000.
- [89] F. Centurelli, R. Luzzi, M. Olivieri, S. Pennisi, A. Trifiletti, A Novel Topology for a HEMT Negative Current Mirror, Europ. Gallium Arsenide and Related III-V Compounds Appl. Symp. Proc. (GaAs 2000), Paris, France, 2.-3. Oct. 2000
- [90] M. Olivieri, A Genetic Approach to The Design Space Exploration of Superscalar Microprocessor Architectures , IEEE International Symposium on Circuits and Systems, Sidney, Australia, May 2001.
- [91] A. De Gloria and M. Olivieri, An Application Specific Multi-Port Ram Cell Circuit for Fast Register Renaming Units in High Speed Microprocessors, IEEE International Symposium on Circuits and Systems, Sidney, Australia, May 2001.

- [92] M. Olivieri and A. Trifiletti, An All-Digital Clock Generator Firm-Core Based on Differential Fine-Tuned Delay for Reusable Microprocessor Cores , IEEE International Symposium on Circuits and Systems, Sidney, Australia, May 2001.
- [93] M. Olivieri, Theoretical system level limits of power-performance trade-off in VLSI microprocessor design, Workshop on Complexity Effective Design, in conjunction with the IEEE/ACM Int. Symp. on Computer Architecture (ISCA), Goteborg, Sweden, Jun. 2001.
- [94] M. Olivieri, Achieving Power Efficiency through Minimum Cycle Time in Digital Signal Processor Design – Proceedings of the 27th Annual Conference of the IEEE Industrial Electronics Society, IECON 2001. Denver, CO, 2001.
- [95] F. Centurelli, R. Luzzi, G. Lulli, M. Olivieri, A. Trifiletti A robust three-state PFD architecture without output polarity reversal, MIXDES 02: 9th International Conference on Mixed Design of Integrated Circuits and Systems, Wroclaw (PL), 20-22 June 2002, pp. 223-228.
- [96] F. Menichelli, D. Bertozzi, L. Benini, M. Olivieri, A Flexible SystemC Simulator for Multiprocessor Systems-on-Chip, 6th European SystemC User Group Meeting, Stresa, Italy, June 2002.
- [97] M. Olivieri, M. Raspa Power Efficiency of Application-Dependent Self-Configuring Pipeline Depth in DSP Microprocessors, International Parallel and Distributed Processing Symposium-Reconfigurable Architectures Workshop. Nice (FR), June 2003. IEEE.
- [98] F. Centurelli, S. Costi, M. Olivieri, S. Pennisi, A. Trifiletti Robust three-state PFD architecture with enhanced frequency acquisition capabilities ISCAS 04: IEEE International Symposium on Circuits and Systems, Vancouver BC (Canada), 23-26 May 2004, pp. 812-815.
- [99] F. Angiolini, F. Menichelli, A. Ferrero, L. Benini, M. Olivieri, A post-compiler approach to scratchpad mapping of code, International conference on Compilers, architecture, and synthesis for embedded systems, 2004, Washington D.C., USA, September 22-25, 2004.
- [100] F. Menichelli, M. Olivieri, L. Benini, M. Donno, L. Bisdounis, A simulation-based power-aware architecture exploration of a multiprocessor system-on-chip design, Design, Automation and Test in Europe Conference, 2004. Vol. 3. 16-20, Paris, France, Feb. 2004. IEEE. ISBN 0-7695-2085-5
- [101] Olivieri, M.; Scarana, M.; A comprehensive analytical model for embedded parallel microprocessors performance prediction IEEE International Conference on Industrial Technology (ICIT 2004), 8-10 Dec. 2004. IEEE.
- [102] M. Olivieri, M. Scarana, G. Scotti, A. Trifiletti, Yield optimization by means of process parameters estimation: comparison between ABB and ASV techniques, in Lecture Notes in Computer Science, Volume 3254, 2004, pp. 119-128. ISSN 0302-9743. DOI: 10.1007/978-3-540-30205-6_14
- [103] M. Olivieri, F. Pappalardo, G. Visalli, Encoding circuits for low power optical on-chip communications International Symposium on Circuits and Systems, Kobe, Japan, May 2005. IEEE.
- [104] M. Olivieri, M. Scarana, S. Smorfa, Circuit-level power efficiency investigation of advanced DSP architectures based on a specialized power modeling technique, International Symposium on Circuits and Systems, Kobe, Japan, May 2005. IEEE.
- [105] M. Aigner, S. Mangard, R. Menicocci, M. Olivieri, G. Scotti, A novel CMOS logic style with data independent power consumption International Symposium on Circuits and Systems, Kobe, Japan, May 2005. IEEE. ISBN 0-7803-8834-8.

- [106] M. Olivieri, F. Pappalardo and G. Visalli, Bus-Switch Coding for Dynamic, Power Management in off-chip Communication Channels, Synopsys User Group Conference, May 2005, Munich, Germany.
- [107] M. Olivieri, F. Pappalardo, and G. Visalli, A Statistical Analysis, for Reducing the Energy Dissipation In A Bus-Switch Encoder, Third IASTED International Conference on Circuits, Signals, and Systems. October 24 - 26, 2005 Marina del Rey, CA, USA. ISBN 0-88986-507-8
- [108] M. Olivieri, F. Pappalardo, and G. Visalli, Design Issues for Bus Switch Systems in Deep Sub-micro Metric CMOS Technologies, Third IASTED International Conference on Circuits, Signals, and Systems. October 24 - 26, 2005 Marina del Rey, CA, USA.
- [109] F. Menichelli, M. Olivieri, S. Smorfa, Software Optimization of the JPEG2000 Algorithm on a VLIW CPU Core for System-on-Chip Implementation, Third IASTED International Conference on Circuits, Signals, and Systems. October 24 - 26, 2005 Marina del Rey, CA, USA.
- [110] Olivieri, M.; Pappalardo, F.; Visalli, G., Performance-timing overhead trade-off analysis for a low-power data bus encoding based on input lines reordering, 32nd Conference of IEEE Industrial Electronics Society, (IECON 2005), 6-10 Nov., 2005. IEEE.
- [111] Aigner, M.; Mangard, S.; Menichelli, F.; Menicocci, R.; Olivieri, M.; Popp, T.; Scotti, G.; Trifiletti, A.; Side channel analysis resistant design flow, International Symposium on Circuits and Systems (ISCAS), Kos, Greece, May 2006. DOI: 10.1109/ISCAS.2006.1693233 IEEE.
- [112] S. Smorfa, M. Olivieri, Cycle-accurate performance investigation of parallel Jpeg2000 on a multi-processor System-on-Chip platform", 32nd Annual Conference of the IEEE Industrial Electronics Society (IECON06), Paris, France, Nov. 2006. IEEE.
- [113] Menichelli, F., Olivieri, M., Results on Leakage Power Management in Scratchpad--based Embedded System, IASTED International Conference on Circuits, Signals and Systems (CSS 2007), 2-4 July 2007, Banff, Canada.
- [114] Centurelli F., Scotti G., Trifiletti A., Olivieri M., Giancane L., A statistical model of logic gates for Monte Carlo simulation including on-chip variations, Lecture Notes in Computer Science, Volume 4644, 2007, pp. 516-525. ISSN 0302-9743. DOI: 10.1007/978-3-540-74442-9_50
- [115] Giancane, L., Marietti, P., Olivieri, M., Scotti, G., Trifiletti, A., A new dynamic differential logic style as a countermeasure to power analysis attacks, 15th IEEE International Conference on Electronics, Circuits and Systems, ICECS 2008, Malta, Sep. 2008, pp. 364-367
- [116] Paterna, F., Benini, L., Acquaviva, A., Papariello, F., Desoli, G., Olivieri, M. Adaptive idleness distribution for non-uniform aging tolerance in multiprocessor systems-on-chip 2009 Design, Automation and Test in Europe, DATE 09, Nice, France, Mar. 2009, pp. 906-909
- [117] Menichelli, F., Olivieri, M., Smorfa, S. Performance evaluation of Jpeg2000 implementation on VLIW cores, SIMD cores and multi-cores (2011) Proceedings - IEEE International Symposium on Circuits and Systems, art. no. 5937855, pp. 1483-1486. DOI: 10.1109/ISCAS.2011.5937855
- [118] Olivieri, M., Menichelli, F., Mastrandrea A., Ramundo, F., Nenzi, P., Contributions in evaluating the statistical impact of technology variations on delay and power dissipation of logic cells, ECMI 2010, 16-th European Conference on Mathematics for Industry, Wuppertal, Germany, July 26-30, 2010.
- [119] Mastrandrea A., Olivieri, M., Menichelli, F., A delay model allowing nano-CMOS standard cells statistical simulation at the logic level, 7th Conference on Ph.D. Research in Microelectronics and

Electronics (PRIME), Trento, Italy, 3-7 July 2011, pp. 217 – 220. IEEE.

- [120] Abbas Z., Genua, V., Olivieri, M., A novel logic level calculation model for leakage currents in digital nano-CMOS circuits, 7th Conference on Ph.D. Research in Microelectronics and Electronics (PRIME), Trento, Italy, 3-7 July 2011, pp. 221 – 224. IEEE.
- [121] Abbas, Z., Yakupov, M., Olivieri, M., Ripp, A., Strobe, G., "Yield optimization for low power current controlled current conveyor", Proceedings of 25th Symposium on Integrated Circuits and Systems Design (SBCCI). 2012. ISBN 978-146732608-7
- [122] Mastrandrea A., Olivieri, M., A new logic level delay modeling paradigm for nano-CMOS standard cell variation-aware simulation, Workshop on Variability modelling and mitigation techniques in current and future technologies (VAMM), in conjunction with DATE 2012, Dresden, Germany, 16 March 2012.
- [123] Lannutti, F., Nenzi, P., Olivieri, M., KLU sparse direct linear solver implementation into NGSPICE, 19th International Conference on Mixed Design of Integrated Circuits and Systems, MIXDES, pp. 69-72, IEEE, 2012. ISBN: 978-836295443-8.
- [124] U. Khalid, A. Mastrandrea, M. Olivieri, "Using safe operation regions to assess the error probability of logic circuits due to process variations", International Integrated Reliability Workshop (IIRW), IEEE, Oct. 2013, CA, USA. DOI: 10.1109/IIRW.2013.6804188
- [125] Z. Abbas, U. Khalid, M. Olivieri, Sizing and optimization of low power and variation aware standard cells, International Integrated Reliability Workshop (IIRW), IEEE, Oct. 2013, CA, USA. DOI: 10.1109/IIRW.2013.6804189
- [126] Bongiovanni, S., Olivieri, M., Scotti, G., Trifiletti, A. A flip-flop implementation for the DPA-resistant Delay-based Dual-rail Pre-charge Logic family, Proceedings of the 20th International Conference on Mixed Design of Integrated Circuits and Systems, MIXDES 2013, art. no. 6613334, pp. 163-168. ISBN: 978-83-63578-00-8
- [127] Khalid, U., Mastrandrea, A., Olivieri, M. Novel approaches to quantify failure probability due to process variations in nano-scale CMOS logic, Proceedings of the International Conference on Microelectronics, MIEL 2014; Belgrade; Serbia; May 2014, art. no. 6842167, pp. 371-374. IEEE. DOI: 10.1109/MIEL.2014.6842167
- [128] Khalid, U., Mastrandrea, A., Olivieri, M., Combined Impact of NBTI Aging and Process Variations on Noise Margins of Flip-Flops, Digital System Design (DSD), 2014 17th Euromicro Conference on, pp. 488-495, Aug. 2014, IEEE. DOI: 10.1109/DSD.2014.20
- [129] F. Lannutti, F. Menichelli, P. Nenzi, M. Olivieri, A new algorithm for convergence verification in circuit level simulations, Microelectronics and Electronics (PRIME), 2014 10th Conference on Ph. D. Research in, June 2014, IEEE. DOI: 10.1109/PRIME.2014.6872721
- [130] U. Khalid, A. Mastrandrea, M. Olivieri, Safe operation region characterization for quantifying the reliability of CMOS logic affected by process variations, Microelectronics and Electronics (PRIME), 2014 10th Conference on Ph. D. Research in, June 2014, IEEE. DOI: 10.1109/PRIME.2014.6872763
- [131] Claudio S Malavenda, Francesco Menichelli, Mauro Olivieri, Wireless and Ad Hoc Sensor Networks: An Industrial Example Using Delay Tolerant, Low Power Protocols for Security-Critical Applications, in Applications in Electronics Pervading Industry, Environment and Society, Book Series: Lecture Notes in Electrical Engineering, 2014, pp. 153-162, DOI: 10.1007/978-3-319-

04370-8_14, ISBN: 978-3-319-04369-2, Springer.

- [132] Khalid, U., Mastrandrea, A., Abbas, Z., Olivieri, M., Variability aware modeling of SEU induced failure probability of logic circuit paths in static conditions, 4th International Conference on Reliability, Infocom Technologies and Optimization: Trends and Future Directions, ICRITO, 2015. DOI: 10.1109/ICRITO.2015.7359223
- [133] Abbas, Z., Olivieri, M., Khalid, U., Ripp, A., Pronath, M., Optimal NBTI degradation and PVT variation resistant device sizing in a full adder cell, 4th International Conference on Reliability, Infocom Technologies and Optimization: Trends and Future Directions, ICRITO, 2015. DOI: 10.1109/ICRITO.2015.7359366
- [134] Menichelli, F., Olivieri, M., A platform-based emulator for mass-storage flash cards evaluation in embedded systems, in Applications in Electronics Pervading Industry, Environment and Society, Book Series:Lecture Notes in Electrical Engineering, 351, pp. 195-201. 2016. DOI: 10.1007/978-3-319-20227-3_25
- [135] Marazza, M., Menichelli, F., Olivieri, M., Ferrante, O., Ferrari, A., A model-based methodology to generate code for timer units, (2016), in Applications in Electronics Pervading Industry, Environment and Society, Book Series: Lecture Notes in Electrical Engineering, 351, pp. 203-210. DOI: 10.1007/978-3-319-20227-3_26
- [136] Malavenda, C.S., Menichelli, F., Olivieri, M., Narrowband delay tolerant protocols for WSN applications: Characterization and selection guide, Book Series: Lecture Notes in Electrical Engineering, 409, pp. 109-121, 2017. DOI: 10.1007/978-3-319-47913-2_14.
- [137] Menichelli, F., Stazi, G., Mastrandrea, A., Olivieri, M., An emulator for approximate memory platforms based on QEmu, (2017) Book Series: Lecture Notes in Electrical Engineering, 429, pp. 153-159. DOI: 10.1007/978-3-319-55071-8_20
- [138] Stazi, G., Menichelli, F., Mastrandrea, A., Olivieri, M., Introducing approximate memory support in Linux Kernel, PRIME 2017 - 13th Conference on PhD Research in Microelectronics and Electronics, 2017. pp. 97-100. DOI: 10.1109/PRIME.2017.7974116.
- [139] Olivieri, M., Cheikh, A., Cerutti, G., Mastrandrea, A., Menichelli, F. Investigation on the optimal pipeline organization in RISC-V multi-threaded soft processor cores (2017) Proceedings - 2017 1st New Generation of CAS, IEEE NGCAS 2017, pp. 45-48. DOI: 10.1109/NGCAS.2017.61
- [140] Abbas, Z., Zahra, A., Olivieri, M., Mastrandrea, A. Geometry Scaling Impact on Leakage Currents in FinFET Standard Cells Based on a Logic-Level Leakage Estimation Technique (2018) Book Series: Lecture Notes in Electrical Engineering, 471, pp. 283-294. DOI: 10.1007/978-981-10-7329-8_29
- [141] Blasi, L., Mastrandrea, A., Menichelli, F., Olivieri, M. A space-rated soft IP-core compatible with the PIC® hardware architecture and instruction set (2018), Book Series: Advances in the Astronautical Sciences, 163, pp. 581-594.
- [142] Stazi, G., Adani, L., Mastrandrea, A., Olivieri, M., Menichelli, F., Impact of Approximate Memory Data Allocation on a H.264 Software Video Encoder, (2018) Book Series: Lecture Notes in Computer Science, 11203 LNCS, pp. 545-553. DOI: 10.1007/978-3-030-02465-9_38
- [143] Olivieri, M., Khalid, U., Mastrandrea, A., Menichelli, F. , Characterizing noise pulse effects on the power consumption of idle digital cells, (2018) Proceedings - IEEE International Symposium on Circuits and Systems, May 2018. DOI: 10.1109/ISCAS.2018.8351343

- [144] Stazi, G., Mastrandrea, A., Olivieri, M., Menichelli, F., Appropinquo: A platform emulator for exploring the approximate memory design space, (2018) IEEE New Generation of CAS, NGCAS 2018, DOI: 10.1109/NGCAS.2018.8572192
- [145] Stazi, G., Mastrandrea, A., Olivieri, M., Menichelli, F., Approximate memory support for Linux early allocators in ARM architectures, (2019) Lecture Notes in Electrical Engineering, vol. 550 (9783030119720), pp. 429-435. DOI: 10.1007/978-3-030-11973-7_51
- [146] Stazi, G., Silvestri, F., Mastrandrea, A., Olivieri, M., Menichelli, F., Synthesis time reconfigurable floating point unit for transprecision computing, (2019) Lecture Notes in Electrical Engineering, vol. 550 (9783030119720), pp. 261-267. DOI: 10.1007/978-3-030-11973-7_30
- [147] Abbas, Z., Zahra, A., Olivieri, M., LEADER: Leakage Currents Estimation Technique for Aging Degradation Aware 16 nm CMOS Circuits,(2019) Communications in Computer and Information Science, proc. International Symposium on VLSI Design and Test, vol. 892, pp. 394-407. DOI: 10.1007/978-981-13-5950-7_34
- [148] Cheikh, A., Cerutti, G., Mastrandrea, A., Menichelli, F., Olivieri, M., The microarchitecture of a multi-threaded RISC-V compliant processing core family for IoT end-nodes, (2019) Lecture Notes in Electrical Engineering, vol. 512, pp. 89-97. DOI: 10.1007/978-3-319-93082-4_12
- [149] Stazi, G., Mastrandrea, A., Olivieri, M., Menichelli, F., Quality Aware Approximate Memory in RISC-V Linux Kernel , (2019) PRIME 2019 - 15th IEEE Conference on Ph.D. Research in Microelectronics and Electronics, pp. 177-180. DOI: 10.1109/PRIME.2019.8787745
- [150] Blasi, L., Vigli, F., Farissi, S.M., Mastrandrea, A., Menichelli, F., Nascetti, A., Olivieri, M., An fpga-based risc-v computer architecture orbital laboratory on a pocketcube satellite , (2020) Advances in the Astronautical Sciences, 173, art. no. AAS 20-266, pp. 587-593.
- [151] Blasi, L., Vigli, F., Cheikh, A., Mastrandrea, A., Menichelli, F., Olivieri, M., A RISC-V Fault-Tolerant Microcontroller Core Architecture Based on a Hardware Thread Full/Partial Protection and a Thread-Controlled Watch-Dog Timer, (2020) Lecture Notes in Electrical Engineering, vol. 627, pp. 505-511. DOI: 10.1007/978-3-030-37277-4_59
- [152] Stazi, G., Mastrandrea, A., Olivieri, M., Menichelli, F., Quality Aware Selective ECC for Approximate DRAM, (2020) Lecture Notes in Electrical Engineering, vol. 627, pp. 109-116. DOI: 10.1007/978-3-030-37277-4_13
- [153] Cheikh, A., Sordillo, S., Mastrandrea, A., Menichelli, F., Olivieri, M., Efficient Mathematical Accelerator Design Coupled with an Interleaved Multi-threading RISC-V Microprocessor, (2020) Lecture Notes in Electrical Engineering, vol. 627, pp. 529-539. DOI: 10.1007/978-3-030-37277-4_62
- [154] Barbirotta, M., Mastrandrea, A., Menichelli, F., Vigli, F., Blasi, L., Cheikh, A., Sordillo, S., Di Gennaro, F., Olivieri, M., Fault resilience analysis of a RISC-V microprocessor design through a dedicated UVM environment, (2020) 33rd IEEE International Symposium on Defect and Fault Tolerance in VLSI and Nanotechnology Systems, DFT 2020. DOI: 10.1109/DFT50435.2020.9250871
- [155] Aldinucci, M., Agosta, G., Andreini, A., Ardagna, C.A., Bartolini, A., Cilaro, A., Cosenza, B., Danelutto, M., Esposito, R., Fornaciari, W., Giorgi, R., Lengani, D., Montella, R., Olivieri, M., Saponara, S., Simoni, D., Torquati, M., The Italian research on HPC key technologies across EuroHPC, (2021) Proceedings of the 18th ACM International Conference on Computing Frontiers,

CF 2021, pp. 178-184. DOI: 10.1145/3457388.3458508

- [156] M. Barbirotta, A. Cheikh, A. Mastrandrea, F. Menichelli, F. Vigli, M. Olivieri, A Fault Tolerant soft-core obtained from an Interleaved-Multi-Threading RISC-V microprocessor design, 2021 IEEE International Symposium on Defect and Fault Tolerance in VLSI and Nanotechnology Systems (DFT), 2021, pp. 1-4, doi: 10.1109/DFT52944.2021.9568368.
- [157] Reggiani, E., Lazo, C.R., Bagué, R.F., Cristal, A., Olivieri, M., Unsal, O.S., BiSon-e: A Lightweight and High-Performance Accelerator for Narrow Integer Linear Algebra Computing on the Edge, (2022) 27th ACM International Conference on Architectural Support for Programming Languages and Operating Systems - ASPLOS, Lausanne, Switzerland, Feb. 28 – Mar. 4 2022, pp. 56-69. DOI: 10.1145/3503222.3507746
- [158] Barbirotta, M., Cheikh, A., Mastrandrea, A., Menichelli, F., Olivieri, M., Analysis of a Fault Tolerant Edge-Computing Microarchitecture Exploiting Vector Acceleration, (2022) PRIME 2022 - 17th International Conference on Ph.D Research in Microelectronics and Electronics, Proceedings, pp. 237-240. DOI: 10.1109/PRIME55000.2022.9816771
- [159] Angioli, M., Barbirotta, M., Mastrandrea, A., Jamili, S., Olivieri, M., Automatic Hardware Accelerators Reconfiguration through Linear UCB Algorithms on a RISC-V Processor, (2023) PRIME 2023 - 18th International Conference on Ph.D Research in Microelectronics and Electronics, Proceedings, pp. 169-172. DOI: 10.1109/PRIME58259.2023.10161944
- [160] Angioli, M., Barbirotta, M., Cheikh, A., Mastrandrea, A., Menichelli, F., Jamili, S., Olivieri, M., Contextual Bandits Algorithms for Reconfigurable Hardware Accelerators, (2023) Lecture Notes in Electrical Engineering, 1036 LNEE, pp. 149-154. DOI: 10.1007/978-3-031-30333-3_19
- [161] Jamili, S., Cheikh, A., Mastrandrea, A., Barbirotta, M., Menichelli, F., Angioli, M., Olivieri, M., Implementation of Dynamic Acceleration Unit Exchange on a RISC-V Soft-Processor, (2023) Lecture Notes in Electrical Engineering, 1036 LNEE, pp. 300-306. DOI: 10.1007/978-3-031-30333-3_40
- [162] Reggiani, E., Pappalardo, A., Doblaz, M., Moreto, M., Olivieri, M., Unsal, O.S., Cristal, A., Mix-GEMM: An efficient HW-SW Architecture for Mixed-Precision Quantized Deep Neural Networks Inference on Edge Devices, (2023) Proceedings - International Symposium on High-Performance Computer Architecture, 2023-February, pp. 1085-1098. DOI: 10.1109/HPCA56546.2023.10071076
- [163] Barbirotta, M., Mastrandrea, A., Cheikh, A., Menichelli, F., Olivieri, M., Improving SET Fault Resilience by Exploiting Buffered DMR Microarchitecture (2023) Lecture Notes in Electrical Engineering, 1005 LNEE, pp. 233-238. DOI: 10.1007/978-3-031-26066-7_36
- [164] Barbirotta, M., Menichelli, F., Mastrandrea, A., Cheikh, A., Jamili, S., Angioli, M., Olivieri, M., Homogeneous Tightly-Coupled Dual Core Lock-Step with No Checkpointing Redundancy, (2024) Lecture Notes in Electrical Engineering, 1113 LNEE, pp. 363-368. DOI: 10.1007/978-3-031-48711-8_44
- [165] Barbirotta, M., Menichelli, F., Mastrandrea, A., Cheikh, A., Angioli, M., Jamili, S., Olivieri, M., Heterogeneous Tightly-Coupled Dual Core Architecture Against Single Event Effects, (2024), Lecture Notes in Electrical Engineering, 1110 LNEE, pp. 15-21. DOI: 10.1007/978-3-031-48121-5_2
- [166] Barbirotta, M., Angioli, M., Mastrandrea, A., Cheikh, A., Jamili, S., Menichelli, F., Olivieri, M., Single Event Transient Reliability Analysis on a Fault-Tolerant RISC-V Microprocessor Design,

(2024), Lecture Notes in Electrical Engineering, 1110 LNEE, pp. 42-48. DOI: 10.1007/978-3-031-48121-5_6

- [167] Jamili, S., Mastrandrea, A., Cheikh, A., Barbirotta, M., Menichelli, F., Angioli, M., Olivieri, M., A Universal Hardware Emulator for Verification IPs on FPGA: A Novel and Low-Cost Approach, (2024) Lecture Notes in Electrical Engineering, 1110 LNEE, pp. 36-41., DOI: 10.1007/978-3-031-48121-5_5
- [168] Barbirotta, M., Menichelli, F., Mastrandrea, A., Cheikh, A., Jamili, S., Angioli, M., Olivieri, M., Homogeneous Tightly-Coupled Dual Core Lock-Step with No Checkpointing Redundancy, (2024), Lecture Notes in Electrical Engineering, 1113 LNEE, pp. 363-368. DOI: 10.1007/978-3-031-48711-8_44
- [169] M. Angioli, S. Jamili, M. Barbirotta, A. Cheikh, A. Mastrandrea, F. Menichelli, A. Rosato, and M. Olivieri, AeneasHDC: An Automatic Framework for Deploying Hyperdimensional Computing Models on FPGAs, IEEE International Joint Conference on Neural Networks (IJCNN), in conjunction with IEEE World Congress on Computational Intelligence (WCCI) , (2024), June 30th - July 5th 2024, Yokohama, Japan
- [170] M. Angioli, M. Barbirotta, A. Cheikh, A. Mastrandrea and M. Olivieri, "Exploring Variable Latency Dividers in Vector Hardware Accelerators," (2024) 19th Conference on Ph.D Research in Microelectronics and Electronics (PRIME), Larnaca, Cyprus, pp. 1-4, DOI: 10.1109/PRIME61930.2024.10559734.

Convegni nazionali

- [171] A. De Gloria, P. Faraboschi, and M. Olivieri. From architecture to silicon: a CAD environment for VLSI system design. In I.CO.GRAPHICS, pp. 115-122. Milano, Italy, 1992. AICOGRAPHICS.
- [172] M. Olivieri, Overview on a formal model of architecture/circuit trade-offs for the implementation of fast processors, SIMAI 2000, V Congresso della Societa' Italiana di Matematica Applicata e Industriale, Ischia Porto, (NA), Giugno 2000.
- [173] M. Olivieri, Progettazione di architetture per System on Chip digitali orientati all'efficienza nei consumi, Convegno Nazionale AEIT- Federazione Italiana Elettrotecnica, Elettronica, Automazione, Informatica e Telecomunicazioni, Genova, 10-11 Giugno 2004.

Roma, 26 Luglio 2024

FIRMATO MAURO OLIVIERI

.....