

FRANCESCO CENTURELLI

Curriculum Vitae

Versione ai fini della pubblicazione

Sommario dei Contenuti

1. Informazioni Generali
2. Formazione
3. Posizioni Accademiche
4. Attività Didattica
 - A. Attività didattiche ante 2006
 - B. Affidamenti di insegnamenti in qualità di RU
 - C. Libri di testo
 - D. Didattica nel dottorato
 - E. Altre attività didattiche
 - F. Tabella riepilogativa dell'attività didattica dello scrivente
5. Tutoraggio di Tesi di Dottorato di Ricerca
6. Attività di Ricerca
 - A. Attività di ricerca svolta fino al 2005
 - B. Attività di ricerca dal 2005 ad oggi
7. Principali Collaborazioni Scientifiche
 - A. Collaborazioni universitarie
 - B. Periodi di studio e ricerca in qualificate istituzioni internazionali
8. Informazioni Bibliometriche
 - A. Produzione scientifica complessiva (dal 1997 al 5 giugno 2025)
 - B. Indicatori calcolati con riferimento alle mediane da PA
 - C. Indicatori calcolati con riferimento alle mediane da PO
9. Partecipazione a Progetti di Ricerca
 - A. Responsabilità di progetti di Ateneo
 - B. Partecipazioni a progetti europei
 - C. Partecipazione a progetti di Ateneo
 - D. Partecipazione a progetti regionali
10. Partecipazione a Congressi in Qualità di Relatore
11. Premi e Riconoscimenti Internazionali
12. Attività Editoriali e Partecipazione a Comitati Scientifici
 - A. Attività come revisore
 - B. Attività editoriale di coordinamento
 - C. Partecipazione a comitati scientifici di congressi
13. Attività Universitarie Istituzionali e Gestionali
14. Attività di Trasferimento Tecnologico
 - A. Partecipazione ad attività di progetto e consulenza
 - B. Brevetti
15. Lista delle Pubblicazioni
 - A. Riviste internazionali
 - B. Conferenze internazionali
 - C. Conferenze nazionali
 - D. Libri

1. Informazioni Generali

Nome: Francesco Centurelli

Data di nascita:

Luogo di nascita:

Codice Fiscale:

Cittadinanza: Italiana

Indirizzo:

Cellulare:

e-mail:

Lingue parlate: italiano, inglese

2. Formazione

Laurea in Ingegneria Elettronica presso l'Università degli Studi di Roma La Sapienza.

Data: 24/10/1995

Voto: 110/110 e lode

Tesi di laurea: Progettazione di circuiti integrati per sistemi di comunicazione su fibra ottica

Lo scrivente si è laureato in Ingegneria Elettronica ad Ottobre 1995 presso l'Università degli Studi di Roma La Sapienza con la tesi *"Progettazione di circuiti integrati per sistemi di comunicazione su fibra ottica"*: l'attività ha riguardato la progettazione in tecnologia GaAs HEMT di un main amplifier e di un limiting amplifier per un ricevitore per comunicazioni ottiche digitali a 2.5Gb/s. Il ricevitore risultante è stato successivamente pubblicato [C1].

Dottorato di ricerca presso l'Università degli Studi di Roma "La Sapienza".

Data: 17/03/2000

Tesi di laurea: Progettazione di moduli multifunzionali monolitici per ricevitori di sistemi di comunicazione ottica

Lo scrivente ha conseguito il titolo di Dottore di Ricerca in Ingegneria Elettronica a Marzo 2000 presso l'Università degli Studi di Roma La Sapienza con la tesi *"Progettazione di moduli multifunzionali monolitici per ricevitori di sistemi di comunicazione ottica"*. L'attività di ricerca svolta durante il dottorato si è incentrata sul progetto di circuiti integrati che compongono un ricevitore ottico per comunicazioni digitali a 2.5Gb/s in tecnologia bipolare in Silicio, indagando metodologie di progetto, topologie circuitali ed architetture. Nel corso del dottorato, lo scrivente ha anche trascorso un periodo di cinque mesi presso i laboratori di ricerca Philips di Eindhoven, dove ha progettato un VCO in tecnologia bipolare in Silicio per un ricevitore ottico a 10Gb/s. L'attività di ricerca svolta durante il dottorato ha dato luogo alle pubblicazioni [C1,C2,C3,C4,J1,J2,C5,C6,C7,C8,C9,C11,C12,J9].

Abilitazione all'esercizio della professione di ingegnere

Data: aprile 1997

3. Posizioni Accademiche

Da luglio 2001 a luglio 2004, lo scrivente è stato titolare di un assegno di ricerca relativo al SSD K01X – Elettronica dal titolo “Progettazione di circuiti elettronici orientata alla resa attraverso lo sviluppo di modelli statistici non lineari per dispositivi GaAs HEMT” presso il Dipartimento di Ingegneria Elettronica dell’Università degli Studi di Roma La Sapienza.

Da febbraio 2005 a ottobre 2006, lo scrivente è stato titolare di un assegno di ricerca relativo al SSD ING-INF/01 – Elettronica dal titolo “Progetto di sottosistemi per trasmissione numerica ad elevata velocità di cifra” presso il Dipartimento di Ingegneria Elettronica dell’Università degli Studi di Roma La Sapienza.

A partire dal 1° novembre 2006, lo scrivente ha preso servizio presso il Dipartimento di Ingegneria Elettronica (ora Dipartimento di Ingegneria dell’Informazione, Elettronica e Telecomunicazioni) dell’Università degli Studi di Roma La Sapienza, con la qualifica di Ricercatore Universitario.

Ha conseguito nel febbraio 2023 l’Abilitazione Scientifica Nazionale (ASN) alla funzione di professore di seconda fascia nel settore concorsuale 09/E3 Elettronica (ora GSD 09/IINF-01, SSD IINF-01/A Elettronica).

4. Attività Didattica

A. Attività didattiche ante 2006

A partire dal 1996, lo scrivente ha collaborato alla didattica dei corsi di elettronica, facendo parte regolarmente delle commissioni di esame del corso di Elettronica 2 (prof. Piero Marietti, e poi prof. Alessandro Trifiletti) e sostituendo occasionalmente il docente nelle lezioni ed esercitazioni.

Dall'anno accademico 2002-2003 all'anno accademico 2004-2005 è stato docente a contratto del corso di Elettronica 1 (1° modulo) per il Corso di Laurea in Ingegneria Elettronica e delle Telecomunicazioni, sede di Latina.

B. Affidamenti di insegnamenti in qualità di RU

Dall'anno accademico 2006-2007, con la presa di servizio in qualità di Ricercatore Universitario presso l'Università degli Studi di Roma La Sapienza, lo scrivente ha ricevuto l'incarico di supplenza per corsi di elettronica sia di base che per la laurea specialistica. Di seguito si riporta l'elenco degli insegnamenti nel SSD IINF-01/A (ex ING-INF/01) tenuti dallo scrivente fino all'anno accademico 2024-2025.

Corso di Elettronica 1 (2° modulo) per il Corso di Laurea in Ingegneria Elettronica e delle Telecomunicazioni, sede di Latina

Lo scrivente ha ricevuto l'incarico di supplenza dalla Facoltà di Ingegneria per gli a.a. dal 2006-2007 al 2009-2010.

Corso di Laboratorio di Elettronica per il Corso di Laurea in Ingegneria Elettronica e delle Telecomunicazioni, poi Corso di Laurea in Ingegneria dell'Informazione, sede di Latina

Lo scrivente ha ricevuto l'incarico di supplenza dalla Facoltà di Ingegneria per gli a.a. dal 2007-2008 al 2019-2020.

Corso di Complementi di Elettronica per il Corso di Laurea in Ingegneria dell'Informazione, sede di Latina

Lo scrivente ha ricevuto l'incarico di supplenza dalla Facoltà di Ingegneria per gli a.a. dal 2011-2012 al 2019-2020.

Corso di Elettronica per il Corso di Laurea in Ingegneria Gestionale

Lo scrivente ha ricevuto l'incarico di supplenza dalla Facoltà di Ingegneria per gli a.a. 2009-2010 e 2010-2011 (canale M-Z) e dal 2011-2012 al 2014-2015 (canale unico).

Corso di Progetto di Circuiti Integrati per il Corso di Laurea Specialistica in Ingegneria Elettronica

Lo scrivente ha ricevuto l'incarico di supplenza dalla Facoltà di Ingegneria dall'a.a. 2017-2018 e fino ad oggi.

Corso di Progetto di Sistemi Microelettronici a Radio Frequenza per il Corso di Laurea Specialistica in Ingegneria Elettronica

Lo scrivente ha ricevuto l'incarico di supplenza dalla Facoltà di Ingegneria dall'a.a. 2019-2020 e fino ad oggi.

Corso di Elettronica 1 per il Corso di Laurea in Ingegneria Elettronica

Lo scrivente ha ricevuto l'incarico di supplenza dalla Facoltà di Ingegneria dall'a.a. 2019-2020 per la parte di laboratorio del corso, e dall'a.a. 2024-2025 per il corso intero, fino ad oggi.

C. Libri di testo

Lo scrivente è co-autore del testo:

F. Centurelli, A. Ferrari, Fondamenti di Elettronica, Casa Editrice Zanichelli, 2016

utilizzato a partire dal 2017 in diversi corsi di elettronica presso università italiane.

D. Didattica nel Dottorato

Partecipazione al collegio dei docenti.

Lo scrivente ha partecipato al collegio dei docenti del dottorato in "Ingegneria Elettronica" a partire dall'anno 2006 e fino al 2011.

Ha partecipato al collegio dei docenti del dottorato in "Ingegneria Elettronica e Telerilevamento" nell'anno 2012.

A partire dall'anno 2013 fa parte informalmente del collegio dei docenti del dottorato "ICT" (formalmente dal 20/5/2024).

Attività didattica tenuta per il dottorato "ICT".

ADC Architectures for Low Power and High Speed Applications

Dall'anno accademico 2021-2022 all'anno accademico 2023-2024, lo scrivente ha tenuto per il dottorato "ICT" il corso in oggetto (2 CFU).

E. Altre attività didattiche

Lo scrivente ha fatto parte del consiglio di area di Ingegneria Elettronica e delle Telecomunicazioni (poi Ingegneria dell'Informazione) dal 2002 al 2020.

Ha fatto parte del consiglio di area di Ingegneria Gestionale dal 2009 al 2015.

Fa parte del consiglio di area di Ingegneria Elettronica dal 2017.

F. Tabella riepilogativa dell'attività didattica dello scrivente.

Anno Accademico	Corso di Laurea	Insegnamento	CFU
2002-2003	Laurea Ing. Elettronica e Telecomunicazioni (sede di Latina)	Elettronica 1 (1° modulo)	6
2003-2004	Laurea Ing. Elettronica e Telecomunicazioni (sede di Latina)	Elettronica 1 (1° modulo)	6
2004-2005	Laurea Ing. Elettronica e Telecomunicazioni (sede di Latina)	Elettronica 1 (1° modulo)	6
2006-2007	Laurea Ing. Elettronica e Telecomunicazioni (sede di Latina)	Elettronica 1 (2° modulo)	6
2007-2008	Laurea Ing. Elettronica e Telecomunicazioni (sede di Latina)	Elettronica 1 (2° modulo)	6 (tenuto 2 volte)
2007-2008	Laurea Ing. Elettronica e Telecomunicazioni (sede di Latina)	Laboratorio di Elettronica	6
2008-2009	Laurea Ing. Elettronica e Telecomunicazioni (sede di Latina)	Elettronica 1 (2° modulo)	6
2008-2009	Laurea Ing. Elettronica e Telecomunicazioni (sede di Latina)	Laboratorio di Elettronica	6
2009-2010	Laurea Ing. Elettronica e Telecomunicazioni (sede di Latina)	Elettronica 1 (2° modulo)	6
2009-2010	Laurea Ing. Elettronica e Telecomunicazioni (sede di Latina)	Laboratorio di Elettronica	6
2009-2010	Laurea Ing. Gestionale	Elettronica (M-Z)	6
2010-2011	Laurea Ing. Elettronica e Telecomunicazioni (sede di Latina)	Elettronica 1 (2° modulo)	6
2010-2011	Laurea Ing. Elettronica e Telecomunicazioni (sede di Latina)	Laboratorio di Elettronica	6
2010-2011	Laurea Ing. Gestionale	Elettronica (M-Z)	6
2011-2012	Laurea Ing. dell'Informazione (sede di Latina)	Complementi di Elettronica	6

2011-2012	Laurea Ing. dell'Informazione (sede di Latina)	Laboratorio di Elettronica	6
2011-2012	Laurea Ing. Gestionale	Elettronica	6
2012-2013	Laurea Ing. dell'Informazione (sede di Latina)	Complementi di Elettronica	6
2012-2013	Laurea Ing. dell'Informazione (sede di Latina)	Laboratorio di Elettronica	6
2012-2013	Laurea Ing. Gestionale	Elettronica	6
2013-2014	Laurea Ing. dell'Informazione (sede di Latina)	Complementi di Elettronica	6
2013-2014	Laurea Ing. dell'Informazione (sede di Latina)	Laboratorio di Elettronica	6
2013-2014	Laurea Ing. Gestionale	Elettronica	6
2014-2015	Laurea Ing. dell'Informazione (sede di Latina)	Complementi di Elettronica	6
2014-2015	Laurea Ing. dell'Informazione (sede di Latina)	Laboratorio di Elettronica	6
2014-2015	Laurea Ing. Gestionale	Elettronica	6
2015-2016	Laurea Ing. dell'Informazione (sede di Latina)	Complementi di Elettronica	6
2015-2016	Laurea Ing. dell'Informazione (sede di Latina)	Laboratorio di Elettronica	6
2016-2017	Laurea Ing. dell'Informazione (sede di Latina)	Complementi di Elettronica	6
2016-2017	Laurea Ing. dell'Informazione (sede di Latina)	Laboratorio di Elettronica	6
2017-2018	Laurea Ing. dell'Informazione (sede di Latina)	Complementi di Elettronica	6
2017-2018	Laurea Ing. dell'Informazione (sede di Latina)	Laboratorio di Elettronica	6
2017-2018	Laurea Magistrale Ing. Elettronica	Progetto di Circuiti Integrati	6

2018-2019	Laurea Ing. dell'Informazione (sede di Latina)	Complementi di Elettronica	6
2018-2019	Laurea Ing. dell'Informazione (sede di Latina)	Laboratorio di Elettronica	6
2018-2019	Laurea Magistrale Ing. Elettronica	Progetto di Circuiti Integrati	6
2019-2020	Laurea Ing. dell'Informazione (sede di Latina)	Complementi di Elettronica	6
2019-2020	Laurea Ing. dell'Informazione (sede di Latina)	Laboratorio di Elettronica	6
2019-2020	Laurea Magistrale Ing. Elettronica	Progetto di Circuiti Integrati	6
2020-2021	Laurea Magistrale Ing. Elettronica	Progetto di Circuiti Integrati	6
2020-2021	Laurea Magistrale Ing. Elettronica	Progetto di Sistemi Microelettronici a Radio Frequenza	6
2020-2021	Laurea Ing. Elettronica	Elettronica 1 (laboratorio)	3
2021-2022	Laurea Magistrale Ing. Elettronica	Progetto di Circuiti Integrati	6
2021-2022	Laurea Magistrale Ing. Elettronica	Progetto di Sistemi Microelettronici a Radio Frequenza	6
2021-2022	Laurea Ing. Elettronica	Elettronica 1 (laboratorio)	3
2021-2022	Dottorato "ICT"	ADC Architectures for Low Power and High Speed Applications	2
2022-2023	Laurea Magistrale Ing. Elettronica	Progetto di Circuiti Integrati	6
2022-2023	Laurea Magistrale Ing. Elettronica	Progetto di Sistemi Microelettronici a Radio Frequenza	6
2022-2023	Laurea Ing. Elettronica	Elettronica 1 (laboratorio)	3
2022-2023	Dottorato "ICT"	ADC Architectures for Low Power and High Speed Applications	2
2023-2024	Laurea Magistrale Ing. Elettronica	Progetto di Circuiti Integrati	6

2023-2024	Laurea Magistrale Ing. Elettronica	Progetto di Sistemi Microelettronici a Radio Frequenza	6
2023-2024	Laurea Ing. Elettronica	Elettronica 1 (laboratorio)	3
2023-2024	Dottorato "ICT"	ADC Architectures for Low Power and High Speed Applications	2
2024-2025	Laurea Magistrale Ing. Elettronica	Progetto di Circuiti Integrati	6
2024-2025	Laurea Magistrale Ing. Elettronica	Progetto di Sistemi Microelettronici a Radio Frequenza	6
2024-2025	Laurea Ing. Elettronica	Elettronica 1	12

5. Tutoraggio di Tesi di Dottorato di Ricerca

Lo scrivente è stato nominato tutore dei seguenti dottorandi di ricerca del dottorato “ICT”:

Danilo Ruscio, ciclo XXX, anno di conseguimento: 2018, “Analysis and design of low power data converters”;

Cristian Bocciarelli, ciclo XXXVII, anno di conseguimento: 2025, “Low-power and low-voltage high-speed ADC”.

Inoltre ha svolto attività di co-tutoraggio dei seguenti studenti di dottorato:

Gaetano Parisi, ciclo XXX, anno di conseguimento: 2018, “Topologies and design methodologies for high precision analog processing blocks in short-channel technologies”, tutor: Pasquale Tommasino;

Riccardo Della Sala, ciclo XXXVI, anno di conseguimento: 2024, “Shielding the future: Hardware security leveraging Physical Unclonable Functions and True Random Number Generators”, tutor: Giuseppe Scotti;

Alessandro Fava, ciclo XXXVI, anno di conseguimento: 2024, “Cutting-edge switching approaches in brain-implanted neural devices: advancing neurotechnology”, tutor: Giuseppe Scotti;

Valerio Spinogatti, ciclo XXXVII, anno di conseguimento: 2025, “Development and analysis of circuit-level solutions for accurate high-speed SAR converters”, tutor: Alessandro Trifiletti;

Matteo Lombardo, ciclo XXXVIII, in corso, tutor: Alessandro Trifiletti.

6. Attività di Ricerca

L'attività di ricerca svolta dallo scrivente a partire da dicembre 1995 ha riguardato alcuni aspetti metodologici inerenti la progettazione di circuiti monolitici integrati. L'attività si è inizialmente rivolta alla progettazione di RFIC per sistemi di comunicazione ottica ad elevato bit-rate (2.5 – 10 Gb/s). In particolare, si è affrontato il tema dell'integrazione del ricevitore per comunicazioni ottiche, e sono state individuate ed analizzate topologie circuitali per i diversi blocchi funzionali richiesti nell'elaborazione analogica ad alta frequenza, compatibili con un elevato livello di integrazione. In parallelo, l'attività di ricerca ha riguardato anche lo studio di modelli per dispositivi attivi III-V e lo studio di metodologie di progetto orientate alla resa, per ottenere circuiti integrati robusti rispetto alle variazioni parametriche.

Successivamente, lo scrivente è passato ad occuparsi delle problematiche di progetto dei convertitori analogico-digitali, considerando sia le topologie circuitali necessarie per implementare i principali blocchi funzionali, sia l'aspetto architetturale e le problematiche di calibrazione. Altro ambito di ricerca affrontato è stato quello dell'elettronica analogica a bassissima tensione di alimentazione e bassissimo consumo di potenza, tipicamente usata in applicazioni biomediche e IoT per massimizzare la durata di batterie di alimentazione o rendere il sistema compatibile con l'utilizzo di fonti di energia tratte dall'ambiente.

I vari filoni di ricerca di cui lo scrivente si è occupato sono dettagliati nel seguito.

A. Attività di ricerca svolta fino al 2005

a) Circuiti integrati per comunicazioni ottiche digitali ad elevato bit-rate

In questo ambito, l'attività di ricerca si è concentrata sull'integrazione del ricevitore per trasmissioni ottiche ad elevato bit-rate, per il quale si richiede un elevato livello di integrazione, bassa dissipazione di potenza e costo contenuto. Queste esigenze hanno aperto negli anni '90 un campo di ricerca che affronta il problema di migliorare l'ingegnerizzazione dei sistemi di comunicazione ottica, prendendo in esame le problematiche connesse con l'aumento dei livelli di integrazione, l'ottimizzazione della resa, la riduzione della dissipazione di potenza, la riduzione dei costi.

Una breve panoramica sulla ricerca svolta in ambito internazionale in questo campo può essere utile per inquadrare la specifica attività di ricerca dello scrivente. All'inizio degli anni '90, la tipica implementazione del ricevitore per comunicazioni ottiche a 2.5 Gb/s era sotto forma di scheda contenente un numero elevato (5 – 10) di circuiti integrati realizzati in diverse tecnologie e facenti uso di più tensioni di alimentazione di diverso valore, per una dissipazione di potenza complessiva di alcuni Watt. Si è poi passati dapprima all'integrazione del circuito di estrazione del sincronismo, in tecnologie in arseniuro di gallio o bipolare in silicio, e successivamente allo sviluppo dell'intero chip-set in tecnologia bipolare in silicio, composto da 2 – 3 circuiti integrati a bassa tensione di alimentazione, con una dissipazione di potenza complessiva inferiore al Watt. In parallelo, si sono sviluppati moduli elettro-ottici che realizzano il ricevitore in un unico package di pochi centimetri cubici. Più di recente sono state proposte implementazioni del ricevitore a 2.5 Gb/s (e poi a bit-rate più elevati) su di un unico chip in tecnologia bipolare in silicio o CMOS.

L'attività svolta dallo scrivente, in ambito universitario ma in collaborazione con centri di ricerca industriali italiani e stranieri, ha seguito un percorso parallelo a quanto prima illustrato, iniziando con lo sviluppo di moduli multifunzionali monolitici per l'integrazione del ricevitore di sistemi ottici operanti a 2.5 Gb/s secondo lo standard SDH. Dopo una prima realizzazione di un circuito di estrazione del sincronismo in tecnologia

HEMT in arseniuro di gallio [C1], si è individuata la tecnologia bipolare in silicio come la più indicata per l'applicazione in esame, in quanto offre il miglior compromesso fra prestazioni ottenibili e loro ripetibilità. Si è quindi passati ad una realizzazione in silicio prima del solo circuito di estrazione del sincronismo [N1,C2] e successivamente dell'intero ricevitore, implementato con due chip che fanno uso di una unica barra di alimentazione da 3.3V e presentano una dissipazione di potenza inferiore a 500mW [C3,J1,C11]. I chip progettati sono stati anche utilizzati per sviluppare un modulo ibrido elettro-ottico che implementa l'intero ricevitore per comunicazioni ottiche [C9,J9]. Successivamente si è passati a considerare i sistemi ottici operanti a 10 Gb/s, che rappresenta il livello successivo nella gerarchia SDH, affrontando il problema dello sviluppo di un VCO ad elevate prestazioni ma compatibile con una realizzazione integrata del ricevitore [C12] e poi dell'integrazione del circuito di estrazione del sincronismo e della Clock Multiplier Unit per il trasmettitore in tecnologia SiGe BiCMOS [C24,C26,J16].

b) Topologie circuitali per l'elettronica all'impulso

A partire dall'attività di ricerca relativa ai circuiti per le comunicazioni ottiche, lo scrivente ha rivolto l'attenzione allo studio di circuiti per l'elettronica all'impulso, riferendosi alle tecnologie GaAs HEMT e BJT in Si e SiGe. I circuiti all'impulso mettono insieme problematiche legate alle alte frequenze, per elaborare impulsi rapidi e ad elevato tasso di ripetizione, con la necessità di una banda molto ampia, che si estende fino alla continua. In particolare, ci si è concentrati sull'amplificatore di transimpedenza [C3,J1,J5,J7,J8], che nei sistemi di comunicazione ottica costituisce l'interfaccia con il fotodiodo, sulla successiva catena di amplificazione lineare [C5,C10,C18,C19,J11,J19,J30] e sul comparatore [C4].

È stata inoltre proposta una topologia di phase detector dati-clock per applicazioni in sistemi di estrazione del sincronismo [C6,C28,J20], con caratteristica lineare, bassa tensione di alimentazione ed elevata frequenza di lavoro, che è stata oggetto di alcuni brevetti, ed architetture di phase-frequency detector ottimizzate per le alte frequenze [C17,C29].

Nell'ambito delle funzioni elementari per l'elaborazione del segnale a radiofrequenza sono state proposte topologie per il moltiplicatore a 4 quadranti [J2] e per il balun attivo, per la conversione del segnale da sbilanciato a bilanciato [C8,C33,J23], con elevata banda passante e forte reiezione della componente residua di modo comune. Quest'ultima topologia è stata successivamente sfruttata anche per applicazioni in bassa frequenza in tecnologia CMOS [J13,C27,J21].

c) Sviluppo di modelli per la simulazione a livello di sistema

All'individuazione delle topologie circuitali si è affiancata un'attività di analisi delle topologie circuitali, volta sia alla comprensione dei circuiti e allo sviluppo di linee guida per il loro progetto, sia allo sviluppo di modelli per simulazioni di sistema [J2,C8].

Particolare attenzione è stata dedicata allo sviluppo di modelli comportamentali del PLL. Il PLL è un blocco funzionale essenziale nei sistemi di comunicazione e controllo, dove è usato come sintetizzatore di frequenza, modulatore, demodulatore, circuito di recupero del sincronismo. Un'analisi accurata delle prestazioni del PLL richiede analisi di tipo non lineare, che permettono di determinare in particolare tempo di acquisizione e prestazioni relative al jitter. Queste ultime sono di fondamentale importanza, in quanto jitter e rumore di fase determinano interferenze fra canali adiacenti nel caso di comunicazioni RF, ed errori sui simboli nel caso di sistemi di comunicazione digitali. La simulazione in transiente del PLL a livello di transistor richiede tempi lunghi ed una grande quantità di memoria, in quanto richiede la simulazione di circuiti complessi con passi di calcolo estremamente piccoli, fissati dalle frequenze dei segnali in gioco, ma per tempi lunghi, determinati

dalle costanti caratteristiche del sistema, che sono di alcuni ordini di grandezza più lunghe. L'attività di ricerca in questo ambito ha come obiettivo lo sviluppo di modelli comportamentali dei diversi blocchi che compongono il sistema, per permetterne una simulazione accurata ma efficiente. Lo scrivente ha sviluppato modelli comportamentali per il rilevatore di fase [C22] e per il VCO, con particolare attenzione al rumore di fase [J10,C16,C23,J15,C30].

Sempre nell'ambito della modellistica, sono stati forniti risultati analitici per la valutazione in forma chiusa dei tempi di commutazione di celle logiche ad alta velocità [J18], ed un modello statistico delle porte logiche con particolare riferimento ai tempi di propagazione [C40].

d) Metodologie di progetto per circuiti integrati ad alta frequenza e resa elevata

Il problema metodologico affrontato in questo contesto è stato quello di sviluppare un flusso di progettazione organico orientato all'ottimizzazione della resa piuttosto che delle prestazioni di picco. Il problema è stato affrontato da diversi punti di vista.

La progettazione di circuiti per l'elaborazione di segnali impulsati ad alta frequenza richiede una accurata modellizzazione dei dispositivi attivi utilizzati, sia per applicazioni a piccoli segnali che soprattutto a grandi segnali. Sono pertanto necessari modelli non lineari dei componenti attivi, validi dalla continua fino alle microonde e su un ampio range di condizioni operative; tali modelli devono essere in grado di fornire l'accuratezza necessaria al progetto, sia per quanto riguarda il comportamento del dispositivo sotto segnale che la sua polarizzazione, in quanto realizzazioni integrate tipicamente presentano accoppiamento in continua tra i diversi blocchi funzionali presenti sullo stesso chip, e non fanno quindi uso di reti di polarizzazione. Sono stati pertanto identificati algoritmi per l'estrazione di modelli empirici dei dispositivi MESFET e HEMT giungendo ad individuare ed implementare uno schema di ottimizzazione in grado di estrarre modelli non lineari ad alta frequenza a partire da misure dei parametri di scattering, senza far ricorso alle *misure fredde* [C7,J3]. È stato poi individuato un modello non-lineare statistico in grado di fornire dei parametri di modello correlati con correlazione dipendente dalla distanza (dispersione intra-chip) [C15,C20,J14,C25,C31,C34,J25]: quello sviluppato è stato il primo modello di questo tipo presentato in letteratura per dispositivi III-V.

Il modello statistico sviluppato è stato utilizzato per proporre architetture di sistema in grado di aumentare la resa di fabbricazione di MMIC, agendo in modo attivo sulle polarizzazioni dei dispositivi. La metodologia si basa su una formulazione rigorosa del problema di ottimizzazione della resa e utilizza un sistema di controllo digitale che seleziona i punti di lavoro ottimali (riferimenti: [C15,C20,C21,J14]).

Sono state inoltre investigate le metodologie di progetto dei circuiti integrati allo scopo di individuare flussi di progetto in grado di assicurare resa, prestazioni di caso nominale elevate, e stabilità in presenza di variazioni dei parametri di processo e delle terminazioni. In particolare, sono stati individuati dei criteri di verifica della stabilità generalizzati basati su parametri valutabili dai programmi di simulazione e ottimizzazione. Lo scrivente in una prima fase ha proposto e dimostrato alcuni teoremi di stabilità condizionata che consentono di imporre la stabilità di reti due porte lineari al variare delle condizioni di terminazione in regioni predeterminate della carta di Smith o del piano delle immittenze. Successivamente ha proposto e dimostrato alcune condizioni di stabilità che rappresentano una estensione dei criteri di stabilità presenti in letteratura e che permettono di garantire la stabilità in presenza di variazioni dei parametri dei dispositivi attivi in regioni prefissate. I criteri sviluppati sono applicabili a circuiti con più di un dispositivo attivo e consentono di ottimizzare il trade-off tra prestazioni e resa semplificando il flusso di progetto di amplificatori a microonde: in particolare, con le metodologie proposte è possibile tenere conto

dei requisiti di robustezza rispetto alle variazioni parametriche (sia dei dispositivi attivi che delle condizioni di terminazione) già nella fase di sintesi automatica delle reti adattatrici (riferimenti: [J4,J6,C14,J12]).

B. Attività di ricerca dal 2005 ad oggi

A partire dal 2005, lo scrivente, continuando a portare avanti attività di ricerca sui temi prima descritti, ha ampliato il proprio ambito di ricerca curando tematiche legate alla microelettronica analogica, in particolare topologie circuitali per applicazioni a bassa tensione e basso consumo, alla conversione analogico-digitale e all'elettronica analogica assistita dal digitale, in particolare nel contesto della calibrazione dei convertitori analogico-digitali.

a) Conversione analogico-digitale

A partire dal 2005, lo scrivente ha iniziato ad occuparsi delle problematiche relative ai circuiti di conversione analogico-digitale, concentrandosi in particolare su convertitori pipeline ad elevata risoluzione (12-16 bit) e velocità medio-alta (100 MS/s), da utilizzare nei moderni sistemi di comunicazione e di elaborazione del segnale radar, e successivamente sui convertitori di tipo SAR e su sistemi multi-canale in time interleaving.

Da un punto di vista delle topologie circuitali e delle architetture di sistema, l'attività si è concentrata inizialmente sulla funzione del sample-and-hold, che risulta uno dei blocchi più critici, in quanto front-end dell'intero sistema, sviluppando topologie ottimizzate per l'errore di guadagno e per il consumo, ed adatte ad applicazioni a bassissima tensione di alimentazione [C37,C42,C43,J24,C44,C49,C57]. Si è inoltre sviluppata una topologia per l'MDAC (Multiplying DAC), il blocco base per l'architettura pipeline, a basso errore di guadagno [C47]: l'errore di guadagno dell'MDAC, pur risultando un errore lineare sul singolo blocco, viene trasformato dall'architettura pipeline in un errore non lineare, andando così ad inficiare le prestazioni del convertitore, soprattutto quando utilizzato nell'ambito dei sistemi di comunicazione.

Si è poi passati ad ottimizzare la topologia del comparatore dinamico, che un blocco sempre presente nei convertitori analogico-digitali, ed uno dei blocchi più critici nel caso di convertitori di tipo SAR. Da una parte si è ottimizzata la topologia del comparatore StrongARM, per migliorare il trade-off tra velocità, consumo e precisione [C72,C73,J83,J88], e dall'altra si è affrontato il tema di comparatori in grado di operare a bassissima tensione di alimentazione (0.3 V), indagando sia topologie derivate dallo StrongARM [J80,C76] che strutture basate sull'uso di standard-cell digitali [C71,J84,J86].

In parallelo all'attenzione alle topologie circuitali, l'attività di ricerca dello scrivente si è però dedicata soprattutto allo sviluppo di modelli dei blocchi funzionali costitutivi dell'architettura pipeline, sia nell'ottica di comprendere le sorgenti di errore ed il loro peso sulle prestazioni del sistema [C35,C36], sia per permetterne simulazioni accurate ad alto livello. In particolare, si sono sviluppati modelli comportamentali accurati per lo stadio MDAC [J26], in grado di tener conto anche delle condizioni operative, di processo e di mismatch del dispositivo integrato. Questo ha permesso di sviluppare un framework per la modellistica del convertitore pipeline mirata alla calibrazione, permettendo così sia la stima della resa del progetto, sia l'ottimizzazione del progetto stesso e degli algoritmi di calibrazione.

Per quanto riguarda i convertitori del tipo ad approssimazioni successive (SAR), l'attività di ricerca ha riguardato lo sviluppo di un algoritmo SAR ad elevata efficienza che limita la variazione del modo comune in ingresso al comparatore, ottimizzandone così le prestazioni [C77].

È stata inoltre sviluppata una architettura di front-end time-interleaved che riduce la banda passante richiesta al singolo canale a parità di banda totale del segnale, ottimizzando approcci MFP (multiply-filter-processing) presenti in letteratura. Per validare tale architettura, è stato sviluppato un dimostratore in tecnologia SiGe BiCMOS per un front-end a 2 canali a 40 Gb/s [J49,J62,J81], ed è stato sviluppato un opportuno algoritmo di calibrazione [J68]

b) Tecniche di calibrazione digitale di convertitori ADC e calibrazione di sistema

L'attività sui convertitori analogico-digitali ha evidenziato la necessità di affiancare ai circuiti di conversione un sistema di calibrazione digitale, che sfrutta i vantaggi dei circuiti digitali (elevata integrazione, area ridotta, basso consumo) per compensare limitazioni di tipo analogico (mismatch dei componenti e limitato guadagno dei dispositivi MOS a canale corto), garantendo così prestazioni elevate con basso consumo. Per quanto riguarda la calibrazione del convertitore pipeline, è stato sviluppato un framework di simulazione [J26] ed è stata proposta una tecnica per rendere più rapida la calibrazione in background, tramite sequenze pseudo-casuali a banda stretta [J22].

Particolare attenzione è stata dedicata alle tecniche di calibrazione per i convertitori analogico-digitali time-interleaved: tali convertitori consentono di aumentare la frequenza di campionamento, ma richiedono l'equalizzazione degli offset e delle risposte in frequenza (guadagno, ritardo, banda) dei singoli canali. In questo ambito sono stati proposti modelli poco costosi a livello computazionale per la calibrazione digitale in background [C46,J27,C56], e sono stati via via proposti modelli più complessi, basati su filtri FIR [J29].

L'idea della calibrazione digitale di sistemi mixed-signal complessi è stata estesa oltre l'ambito dei convertitori analogico-digitali: modelli non-lineari basati sulle serie di Volterra sono stati proposti per correggere gli errori nei SHA [J32] e nei convertitori A/D pipeline [J34]. Un altro ambito in cui è necessario equalizzare diversi canali, per ottimizzare la direttività, sono i ricevitori beam-forming [C52,C53,C54]. Successivamente la calibrazione basata sull'uso di modelli di Volterra è stata applicata all'intero ricevitore RF, ed in quest'ambito sono state analizzate tecniche di ottimizzazione a posteriori della complessità computazionale che consentono di ridurre il costo delle serie di Volterra eliminando iterativamente i termini meno significativi (pruning) [J72]. È stato anche proposto un modello di Volterra generalizzato, per ottimizzare il trade-off tra complessità e precisione [J82].

c) Blocchi circuitali per l'elaborazione in corrente

L'attività di ricerca in questo ambito, svolta in gran parte in collaborazione con l'Università de L'Aquila, si è incentrata da un lato sull'ottimizzazione della topologia del current conveyor (CCII) [J17,J35,C58,C60,J67] e del suo duale, il voltage conveyor (VCII), [J59,J64,C75] e dall'altra sulle applicazioni di questi blocchi circuitali, per la sintesi di filtri attivi [J44] ed oscillatori sinusoidali [J58].

d) Topologie circuitali a bassa tensione di alimentazione e basso consumo

Il problema scientifico affrontato in questo contesto è in generale quello di far fronte alle limitazioni imposte dall'utilizzo di tecnologie CMOS a canale corto in applicazioni analogiche, quali bassa tensione di breakdown e quindi bassa tensione di alimentazione, bassa transconduttanza e bassa resistenza di uscita e quindi basso guadagno intrinseco dei dispositivi, elevate variazioni dei parametri di processo e conseguente bassa precisione, e di minimizzare il consumo dei blocchi circuitali, nell'ottica del loro utilizzo in sistemi portatili alimentati a batteria, o che traggono la loro fonte di energia dall'ambiente (energy harvesting). In questo contesto generale, l'attività di ricerca dello scrivente si è sviluppata lungo diverse direzioni.

In primo luogo, si sono ottimizzate topologie circuitali che sfruttano il terminale di body o altri possibili nodi di controllo per fissare la polarizzazione, evitando così l'uso del generatore di coda e sfruttando meglio la limitata dinamica a disposizione [C38,J24,C50]. Per sopperire al ridotto guadagno intrinseco, sono state studiate topologie di gain boosting compatibili con una ridotta tensione di alimentazione [J42] e si sono sviluppate tecniche di aumento del guadagno basate sulla compensazione della resistenza di uscita [C41].

Si è poi posta attenzione all'utilizzo della polarizzazione in classe AB per disaccoppiare il consumo di potenza dalla massima velocità di risposta ottenibile. In particolare, questo approccio risulta vantaggioso in sistemi a capacità commutate, per garantire tempi di assestamento rapidi superando il compromesso tra consumo e limitazioni di slew rate, e comunque in applicazioni dove si richiede una corrente di picco molto superiore a quanto necessario per garantire buone prestazioni nel caso statico. In questo ambito, si sono studiate topologie di amplificatori operazionali ad uscita differenziale, individuando quella più vantaggiosa e proponendone dei miglioramenti [J33,C61,J36,J37,J39], oltre ad indagare soluzioni di tipo diverso [C49,J41], più adatte ad applicazioni a bassa tensione di alimentazione [J46,N3]. L'approccio in classe AB è stato anche usato per sviluppare topologie di buffer di tensione basate sul flipped voltage follower [C48,C55], poi utilizzate per implementare filtri attivi [C62], blocchi di elaborazione in corrente [J35,C58,C60,C75] e transduttori da utilizzare in filtri Gm-C [C62,J60].

In molte applicazioni, tipicamente in ambito biomedicale e IoT, i segnali da trattare presentano frequenze molto basse (fino a 10 kHz); bande così limitate possono essere ottenute in modo efficiente facendo funzionare i transistor MOS in sotto-soglia, ed usando tensioni di alimentazione dell'ordine di 0.3 – 0.5 V. L'attività di ricerca in questo ambito è iniziata considerando celle di amplificazione basate su inverter [C49,C57]; si è poi passati a studiare topologie di OTA in grado di operare a 0.3 V di alimentazione, sfruttando tipicamente i terminali di body dei MOS per applicare i segnali d'ingresso. Le principali problematiche da affrontare sono legate all'assenza del generatore di corrente di coda nelle coppie differenziali, che richiede opportuni anelli di controllo con l'uso di rami in replica per fissare la corrente di polarizzazione, e provoca un netto degrado del CMRR della struttura [J51,J53,J63,J65,C69,N2,J74,J77,J79,J89]. Inoltre il guadagno per stadio risulta tipicamente basso: per ovviare a questo problema, è stata proposta una architettura di OTA che genera gran parte del guadagno nel dominio della corrente [J55], massimizzando così l'efficienza, e si è dimostrata la possibilità di realizzare un OTA con gain boosting alimentato a 0.4 V in tecnologia CMOS 180 nm [J90]. In generale, comunque, più stadi di guadagno sono necessari, e si sono studiate tecniche di compensazione ottimizzate per OTA tre-stadi [J48].

Un secondo filone di ricerca in questo ambito ha riguardato lo sviluppo di OTA a bassissima tensione basati su inverter ed in particolare costruiti a partire da standard-cell digitali, che in prospettiva possono essere facilmente portabili tra le diverse tecnologie, possono essere sintetizzati e disegnati automaticamente, sfruttando gli strumenti CAD tipicamente utilizzati in ambito digitale. Le problematiche principali da affrontare sono controllare il punto di lavoro delle celle, migliorare il CMRR ed ottenere guadagni controllati e riproducibili, basati su scelte del progettista e non su caratteristiche intrinseche delle celle, e diverse soluzioni sono state proposte per far fronte a tali problemi [J66,J70,J71,J73,J78,J87,C78,J93].

e) Divisori di frequenza in logica folded MOS current mode (FMCML)

La logica MOS current mode (MCML) è tipicamente utilizzata per applicazioni ad altissima velocità ed in contesti mixed-signal, in cui si sfrutta il suo consumo di corrente costante che riduce i disturbi provocati dalla commutazione dei circuiti digitali alla circuiteria analogica adiacente. Nell'ottica di ridurre la minima tensione di alimentazione, la struttura dell'MCML, basata sulla cella di Gilbert, può essere implementata in maniera

ripiegata, collegando la cella di selezione e le coppie differenziali superiori tramite specchi di corrente. In questo contesto, lo scrivente ha indagato il ruolo del carico, che può essere implementato con un resistore o con un MOS in triodo [J45], ed ha ottimizzato la topologia del divisore di frequenza, ricavandone anche criteri di dimensionamento [J50,J52,C66,J54].

f) Filtri attivi passa-basso a banda larga senza induttori

Sistemi di conversione dati ad altissima velocità richiedono filtri con bande dell'ordine dei GHz, da usarsi come filtri anti-aliasing per la conversione analogico-digitale, da filtri formatori per la conversione digitale-analogica, o come blocchi funzionali in architetture MFP (multiply-filter-processing). Nell'ottica di un elevato livello di integrazione, tali filtri dovrebbero presentare un consumo ridotto ed una limitata occupazione di area su silicio: questo richiede di non utilizzare induttori, che presentano un ingombro elevato e richiedono tipicamente correnti di alcuni milliampere, e quindi di adattare all'utilizzo in alta frequenza architetture di filtri tipicamente utilizzate a bassa frequenza. In questo contesto, lo scrivente ha proposto diverse topologie di filtri attivi in tecnologia SiGe BICMOS, basate sull'uso di induttori attivi o su architetture del tipo Sallen-Key, raggiungendo bande di 17 GHz con un ridotto consumo ed occupazione di area e buone prestazioni in termini di range dinamico [J40,J43,J62,J85]. Successivamente, si è passati ad utilizzare la tecnologia CMOS a canale corto, ottenendo bande dell'ordine di 8 GHz in tecnologia 28nm sfruttando topologie basate sul flipped voltage follower e sul super source follower, con un consumo inferiore al milliwatt [J94,J98].

g) Circuiti per applicazioni biomediche

Lo scrivente ha svolto attività di ricerca nell'ambito dei circuiti analogici per applicazioni biomediche, ed in particolari per sistemi di neural recording. Le principali problematiche in quest'ambito riguardano la necessità di una estrema minimizzazione del consumo e del rumore, e la necessità di gestire offset estremamente elevati dovuti all'interazione degli elettrodi di sensing con i tessuti biologici. D'altra parte i segnali da trattare presentano frequenze molto basse, tipicamente al di sotto di qualche kilohertz. L'attività di ricerca si è concentrata sul front-end del ricevitore per neural recording, ed in particolare sull'amplificatore a basso rumore e sul filtro passa-banda utilizzato per isolare il segnale utile. Sono state identificate diverse topologie per le due funzioni [J38,J47,J56,C70,J92], anche tramite il progetto di un chip di test [J95,J97], e si è valutata a livello di architettura la possibilità di un interleaving di più canali nel dominio della frequenza, sfruttando la tecnica del chopping [C74].

La necessità di creare costanti di tempo estremamente lunghe ha portato ad approfondire il tema dei sistemi a resistenze commutate per implementare resistori equivalenti di valore estremamente elevato. Sono stati sviluppati modelli accurati del resistore commutato e del rumore ad esso associato [J57,J75], validi fino a duty cycle estremamente bassi del clock di controllo, e sono state indagate diverse applicazioni di questa tecnica [J47,J69,J95].

h) Progetto di ricevitori per comunicazioni wireless in banda E e banda D

Lo scrivente ha svolto attività di ricerca nell'ambito del progetto di ricevitori per comunicazioni wireless in banda E, e successivamente in banda D [B2], in tecnologia SiGe BICMOS. L'applicazione di riferimento è la comunicazione tra stazioni radio base in sistemi 5G (link di backhauling), che richiede bande di segnale molto estese, e quindi anche portanti a frequenze molto elevate. In questo contesto lo scrivente si è occupato delle funzioni del front-end RF (LNA, VGA, mixer e loro integrazione), oltre che delle interfacce analogico-digitali tra l'uscita del mixer ed il processing digitale in banda base.

Nell'ambito di questa ricerca, è stata presentata una nuova topologia di amplificatore a guadagno variabile ad alta linearità [J61,C68], basata sulla cella di Gilbert: viene sfruttata la cancellazione delle correnti in presenza di grandi segnali di ingresso, in modo che i dispositivi attivi lavorino in regione di linearità in condizioni di guadagno minimo. La caratterizzazione dei prototipi ha permesso di misurare un'elevata dinamica di variazione del guadagno (circa 24 dB), assieme a prestazioni di linearità e di banda frazionale allo stato dell'arte. Tale cella è stata successivamente integrata con un LNA e con un mixer I/Q basato su cella di Gilbert per realizzare un prototipo dell'intero ricevitore in banda E: il prototipo di ricevitore è stato poi caratterizzato sia come blocco stand-alone [C67], che come parte di un link radio utilizzando segnali QAM con bande fino a 2 GHz [J59].

i) Progetto di primitive crittografiche analogiche

Lo scrivente ha anche svolto attività di ricerca nell'ambito dell'elettronica rivolta alla sicurezza ed in particolare delle primitive crittografiche. In questo contesto, l'attività si è concentrata sul progetto di PUF. Nell'ultima decade i PUF (Physical Unclonable Functions) hanno giocato un ruolo fondamentale per i dispositivi di sicurezza hardware e cominciano ad essere primitive fondamentali da usare nei protocolli di autenticazione. Un PUF è una entità fisica che produce almeno un'uscita difficile da clonare, funzione della struttura fisica del dispositivo. I PUF sfruttano le non idealità del processo di produzione per generare una "impronta digitale" da fornire al dispositivo sia per generare la chiave di sicurezza che per generare l'ID. I PUF sono dunque una primitiva essenziale per la sicurezza hardware, offrendo una valida e più sicura alternativa alle ROM e alle memorie non volatili, usate per salvare la chiave segreta e facilmente attaccabili. I PUF sono usati anche per l'autenticazione via challenge-response pair (CRP). L'obiettivo della ricerca è quello di produrre primitive PUF che siano più compatte e presentino un consumo di potenza e una tensione di alimentazione minore di quelle già presentate in questi anni. In particolare, l'attività di ricerca ha portato a proporre un approccio innovativo per progettare PUF basati su Regulated Cascode Current Mirror (RCCM) che è stato applicato a due nuove topologie di PUF a bassa tensione di alimentazione (fino a 0.3V), con ridotto consumo di potenza e ottime caratteristiche statistiche [J76,N4,J96].

7. Principali Collaborazioni Scientifiche

A. Collaborazioni universitarie

Università degli Studi di Catania

Dipartimento di Ingegneria Elettrica, Elettronica e Informatica

Prof. Salvatore Pennisi

Argomento principale della collaborazione: Studio di topologie di celle per l'elaborazione analogica di precisione a bassa frequenza, applicazioni in corrente e a bassa tensione di alimentazione.

Riferimenti: [C8,C13,C18,C19,J13,C27,C29,C38,J21,J24,J42,J66]

Università degli Studi dell'Aquila

Dipartimento di Ingegneria industriale e dell'informazione e di economia

Prof. Giuseppe Ferri e prof. Vincenzo Stornelli

Argomento principale della collaborazione: Studio di topologie di celle per l'elaborazione analogica in corrente.

Riferimenti: [J17,J35,C58,C60,J44,J58,J64,J67,N3,C75]

Università degli Studi di Catania

Dipartimento di Ingegneria Elettrica, Elettronica e Informatica

Prof. Gaetano Palumbo

Argomento principale della collaborazione: Studio di topologie di divisori di frequenza in logica Folded MOS Current-Mode Logic e di comparatori basati su standard-cell digitali.

Riferimenti: [J45,J50,J52,C66,J54,J84,J86]

B. Periodi di studio e ricerca in qualificate istituzioni di ricerca internazionali

Lo scrivente ha effettuato uno stage di circa 6 mesi (gennaio – maggio 1999 e settembre 1999) presso i Philips Research Laboratories di Eindhoven (Paesi Bassi) dedicato al progetto e misura di un VCO a 10 GHz in tecnologia BiCMOS in silicio.

Riferimenti: [C12]

8. Informazioni bibliometriche

A. Produzione scientifica complessiva (dal 1997 al 5 giugno 2025)

	Totale	Escluse autocitazioni
Numero complessivo di lavori su banche dati internazionali (fonte: SCOPUS)	163	--
Numero di riviste su banche dati internazionali (fonte: SCOPUS)	97	--
Numero di citazioni (fonte: SCOPUS + WoS)	1102	791
Citazioni medie per pubblicazione (fonte: SCOPUS + WoS)	6.76	4.85
Indice di Hirsch (fonte: SCOPUS + WoS)	19	13
Impact Factor totale* (fonte: Clarivate JCR)	196.88	--
Impact Factor medio per pubblicazione (fonte: Clarivate JCR)	2.02	--

* calcolato in relazione all'anno di pubblicazione, relativamente alle sole pubblicazioni su rivista, considerando impact factor = 0 per le riviste non dotate di impact factor, ed utilizzando per le pubblicazioni del 2024 e 2025 il valore del 2023, non essendo disponibile uno più aggiornato

B. Indicatori calcolati con riferimento alle mediane da PA

	Totale	Escluse autocitazioni
Numero complessivo di lavori su banche dati internazionali (fonte: SCOPUS)	94	--
Numero di riviste su banche dati internazionali (fonte: SCOPUS)	56	--
Numero di citazioni (fonte: SCOPUS + WoS)	761	479
Citazioni medie per pubblicazione (fonte: SCOPUS + WoS)	8.09	5.09
Indice di Hirsch (fonte: SCOPUS + WoS)	16	12

Impact Factor totale* (fonte: Clarivate JCR)	156.21	--
Impact Factor medio per pubblicazione (fonte: Clarivate JCR)	2.79	--

* calcolato in relazione all'anno di pubblicazione, relativamente alle sole pubblicazioni su rivista, considerando impact factor = 0 per le riviste non dotate di impact factor, ed utilizzando per le pubblicazioni del 2024 e 2025 il valore del 2023, non essendo disponibile uno più aggiornato

Per le citazioni e l'indice di Hirsch si considerano dati dal 1/1/2015, per le riviste e l'impact factor dati dal 1/1/2020

C. Indicatori calcolati con riferimento alle mediane da PO

	Totale	Escluse autocitazioni
Numero complessivo di lavori su banche dati internazionali (fonte: SCOPUS)	109	--
Numero di riviste su banche dati internazionali (fonte: SCOPUS)	67	--
Numero di citazioni (fonte: SCOPUS + WoS)	907	615
Citazioni medie per pubblicazione (fonte: SCOPUS + WoS)	8.32	5.64
Indice di Hirsch (fonte: SCOPUS + WoS)	18	138.32
Impact Factor totale* (fonte: Clarivate JCR)	173	--
Impact Factor medio per pubblicazione (fonte: Clarivate JCR)	2.58	--

* calcolato in relazione all'anno di pubblicazione, relativamente alle sole pubblicazioni su rivista, considerando impact factor = 0 per le riviste non dotate di impact factor, ed utilizzando per le pubblicazioni del 2024 e 2025 il valore del 2023, non essendo disponibile uno più aggiornato

Per le citazioni e l'indice di Hirsch si considerano dati dal 1/1/2010, per le riviste e l'impact factor dati dal 1/1/2015

9. Partecipazione a Progetti di Ricerca

A. Responsabilità di progetti di Ateneo

Lo scrivente è stato responsabile dei seguenti progetti di ricerca finanziati dall'Ateneo:

1)

Domanda di finanziamento per Progetti di ricerca di Ateneo: Sviluppo di tecniche di calibrazione delle non linearità di sistemi di comunicazione

Anno: 2019 (prot. RM11916B890C9A69)

Finanziamento ottenuto: 13000,00€

2)

Domanda di finanziamento per Progetti di ricerca di Ateneo: Design of ultra-low voltage analog functional blocks in CMOS technology for front-ends in Internet-of-Things (IoT) applications

Anno: 2023 (prot. RM123188EE7A6544)

Finanziamento ottenuto: 9000,00€

B. Partecipazione a progetti europei

Lo scrivente ha partecipato a vari progetti di ricerca finanziati a livello EU. Di seguito si riporta un breve elenco dei titoli e degli argomenti sviluppati nei progetti.

1)

SCARD (STREP FP6)

PRIORITY IST-2002-2.3.1.5

IST-2002-507270

Project acronym: SCARD

Project full title: Side Channel Analysis Resistant Design Flow

Proposal/Contract no.: IST-2002-507270

Periodo: 2004-2006

Responsabile: prof. Alessandro Trifiletti

Argomento: sviluppo di un flusso di progetto VLSI per la sintesi di core crittografici sicuri.

2)

SHAPES (Integrated Project FP6)

PRIORITY 2.3.4 (viii)

ADVANCED COMPUTING ARCHITECTURES

Project acronym: SHAPES

Project full title: Scalable software Hardware Architecture Platform for Embedded Systems

Proposal/Contract no.: 26285

Periodo: 2007-2009

Responsabile: prof. Alessandro Trifiletti

Argomento: Studio di architetture di processori multicore ad elevate prestazioni.

3)

SPREWS (EDA Ad Hoc Type B Proposal)

Project acronym: SPREWS

Project full title: Signal Processing for Radar and Electronic Warfare Systems

Periodo: 2009-2012

Responsabile: prof. Alessandro Trifiletti

Argomento: Algoritmi innovativi per radar e sistemi ESM. In questo programma di ricerca lo scrivente è stato responsabile di Sottoprogramma per il SP3 "ESM signal processing for LPI signals and SEI" dedicato agli algoritmi per la detezione di forme d'onda a bassa probabilità di intercettazione e all'identificazione dell'emittente.

4)

GENESIS (Collaborative Project FP7)

Project acronym: GENESIS

Project full title: GENESIS: Green sEnsor NETworks for Structural monitoring

Periodo: 2010-2013

Responsabile: prof. Alessandro Trifiletti

Argomento: Algoritmi, protocolli e hardware per reti di sensori wireless dedicate al monitoraggio strutturale.

5)

TARANTO (H2020 – RIA 2016)

Project acronym: TARANTO

Project full title: TowARds Advanced bicmos NanoTechnology platforms for rf to thz applicatiOns

Periodo: 2017-2021

Responsabile: prof. Alessandro Trifiletti

Argomento: Sviluppo di una tecnologia BiCMOS allo stato dell'arte per applicazioni comprese tra RF e THz. In questo programma di ricerca lo scrivente è responsabile di Sottoprogramma per il WP3 "Design of Integrated Circuits for Smart Systems and System test" dedicato alla progettazione e alla caratterizzazione di circuiti integrati in tecnologia BiCMOS ad onde millimetriche in banda E, D e W.

6)

SHIFT (HORIZON-KDT-JU-2021-1-IA)

Project acronym: SHIFT

Project full title: Sustainable tecHnologies enablIng Future Telecommunication applications

Periodo: 2022-2026

Responsabile: prof. Alessandro Trifiletti

Argomento: Sviluppo di dimostratori di sistemi di telecomunicazioni innovativi, per validare nuove tecnologie di semiconduttori e di assemblaggio, su casi d'uso previsti per reti wireless B5G/6G, per reti ottiche ad altissima velocità, per l'osservazione della Terra e per telecomunicazioni via satellite.

C. Partecipazione a progetti di Ateneo

Lo scrivente ha inoltre partecipato a vari progetti di ricerca finanziati dall'Ateneo:

1)

Domanda di finanziamento per Progetti di ricerca di Ateneo: Piattaforme hardware riconfigurabili per lo studio e il dimensionamento di sistemi elettromeccanici per il controllo delle vibrazioni

Anno: 2005 (prot. C26A059871)

Finanziamento ottenuto: 9500,00€

Responsabile: prof. Alessandro Trifiletti

2)

Domanda di finanziamento per Progetti di ricerca di Ateneo: Architetture e topologie circuitali per sistemi microelettronici analogici e digitali ultra low voltage

Anno: 2007 (prot. C26A07BA5X)

Finanziamento ottenuto: 4000,00€

Responsabile: prof. Alessandro Trifiletti

3)

Domanda di finanziamento per Progetti di ricerca di Ateneo: Architetture e topologie circuitali per sistemi microelettronici analogici e digitali ultra low voltage

Anno: 2008 (prot. C26A08X7LS)

Finanziamento ottenuto: 8000,00€

Responsabile: prof. Alessandro Trifiletti

4)

Domanda di finanziamento per Progetti di ricerca di Ateneo: Monitoraggio energetico e di sicurezza strutturale di grandi edifici con caratteristiche di "Ambient Intelligence" attraverso reti di sensori wireless resistenti ai guasti ed energeticamente autonome

Anno: 2009 (prot. C26A097B9W)

Finanziamento ottenuto: 20700,00€

Responsabile: prof. Mauro Olivieri

5)

Domanda di finanziamento per Progetti di ricerca di Ateneo: Monitoraggio energetico e di sicurezza strutturale di grandi edifici con caratteristiche di "Ambient Intelligence" attraverso reti di sensori wireless resistenti ai guasti ed energeticamente autonome

Anno: 2010 (prot. C26A10EJXM)

Finanziamento ottenuto: 13500,00€

Responsabile: prof. Mauro Olivieri

6)

Domanda di finanziamento per Progetti di ricerca di Ateneo: Sviluppo di convertitori analogico/digitali pipeline veloci a basso consumo di potenza per applicazioni biomediche

Anno: 2011 (prot. C26A11CSBN)

Finanziamento ottenuto: 12000,00€

Responsabile: prof. Alessandro Trifiletti

7)

Domanda di finanziamento per Progetti di ricerca di Ateneo: Sonda elettro-ottica per il riconoscimento automatico di strutture anatomiche nel corso di interventi chirurgici

Anno: 2013 (prot. C26A13WZ2R)

Finanziamento ottenuto: 7000,00€

Responsabile: prof. Alessandro Trifiletti

8)

Domanda di finanziamento per Progetti di ricerca di Ateneo: Sonda elettro-ottica per il riconoscimento automatico di strutture anatomiche nel corso di interventi chirurgici

Anno: 2014 (prot. C26A14KKC3)

Finanziamento ottenuto: 9000,00€

Responsabile: prof. Alessandro Trifiletti

9)

Domanda di finanziamento per Progetti di ricerca di Ateneo: Studio degli attacchi 'power analysis' basati sulla misura del consumo di potenza statico di dispositivi crittografici implementati con tecnologie CMOS nanometriche e sviluppo di contromisure atte a garantire la sicurezza rispetto a diversi tipi di attacchi 'power analysis'

Anno: 2017 (prot. RM11715C77F7E2D4)

Finanziamento ottenuto: 13000,00€

Responsabile: prof. Giuseppe Scotti

10)

Domanda di finanziamento per Progetti di ricerca di Ateneo: Progetto di circuiti integrati a bassa tensione di alimentazione e basso consumo di potenza per applicazioni di "neural recording" e "brain machine interface" sfruttando le potenzialità delle recenti tecnologie CMOS nanometriche e il funzionamento sotto-soglia dei dispositivi MOS

Anno: 2018 (prot. RM118164367896CD)

Finanziamento ottenuto: 15000,00€

Responsabile: prof. Giuseppe Scotti

11)

Domanda di finanziamento per Progetti di ricerca di Ateneo: Progetto di circuiti integrati CMOS a bassa tensione di alimentazione e basso consumo di potenza per sistemi biomedicali "impiantati" con particolare riferimento all'elaborazione di segnali neurali e alla neuro-robotica

Anno: 2021 (prot. RM12117A572C2EBB)

Finanziamento ottenuto: 13000,00€

Responsabile: prof. Giuseppe Scotti

12)

Domanda di finanziamento per Progetti di ricerca di Ateneo: Sviluppo di front-end ATI per digitalizzatori multi-canale a larga banda

Anno: 2022 (prot. RM1221814E9DC09D)

Finanziamento ottenuto: 12000,00€

Responsabile: prof. Pietro Monsurrò

D. Partecipazione a progetti regionali

Lo scrivente ha inoltre partecipato ai seguenti Progetti Regionali finanziati nei quali il Dipartimento partecipa in qualità di Organismo di Ricerca (OdR) insieme ad altri Atenei e partner industriali operanti nel Lazio:

1)

Progetto “G4S” (GANIMED 4 SIGINT – Sistema di analisi dello spettro radio a banda larga), relativo alla domanda di Sovvenzione A0113-2017-13656 del 31/01/2017, beneficiaria di un contributo concesso a valere sul POR FESR 2014/2020 - Avviso Pubblico “Aerospazio e Sicurezza”. Durata: Giugno 2018 – Giugno 2019

2)

Progetto “ARDENT” (Advanced Integrated Technology for Microwave Active Antennas), relativo alla domanda di Sovvenzione A0114-2017-14821 del 13/02/2017, beneficiaria di un contributo concesso a valere sul POR FESR LAZIO 2014/2020 - Avviso Pubblico “KETS – tecnologie abilitanti”. Durata: Agosto 2018 – Luglio 2019

3)

Progetto “GAMA” (Equipaggiamenti innovativi per sistemi satellitari), relativo alla domanda di Sovvenzione A0320-2019-28150 del 29/07/2019, beneficiaria di un contributo concesso a valere sul POR FESR LAZIO 2014/2020 - Avviso Pubblico “Progetti Strategici 2019”. Durata: Ottobre 2020 – Dicembre 2021

4)

Progetto “GIDE” (EGNSS Interference Detection Instrument), relativo alla domanda di Sovvenzione A0320-2019-28151 del 29/07/2019, beneficiaria di un contributo concesso a valere sul POR FESR LAZIO 2014/2020 - Avviso Pubblico “Progetti Strategici 2019”. Durata: Ottobre 2020 – Aprile 2022

5)

Progetto “GAMICO” (GaN for Microwave and Millimetre-wave Signal Conditioning), relativo alla domanda di Sovvenzione A0375-2020-36755 del 29/10/2020, beneficiaria di un contributo concesso a valere sul POR FESR LAZIO 2014/2020 - Avviso Pubblico “Gruppi di Ricerca 2020”. Durata: Agosto 2021 – Gennaio 2024

6)

Progetto “AWARE” (Sorveglianza e sicurezza dello spettro radio per le comunicazioni 5G e IoT), relativo alla domanda di Sovvenzione A0613-2023-078459 ammessa a contributo con Determinazione n. G15322 del 17/11/2023 concesso a valere sul POR FESR LAZIO – Riposizionamento Competitivo RSI – Aerospazio, Sicurezza e Automotive e Mobilità Sostenibile. Durata Gennaio 2024 – Maggio 2025.

10. Partecipazione a Congressi in Qualità di Relatore

Lo scrivente ha personalmente tenuto le seguenti presentazioni a congressi internazionali:

A. Pallotta, F. Centurelli, F. Loriga, A. Trifiletti, 'A monolithic 2.5 Gb/s clock and data recovery circuit based on Silicon bipolar technology', SyBEN 98, Symposium on Broadband European Networks (Europto), SPIE Proceedings 3408, Zürich (Switzerland), 18-20 May 1998, pp 183-190.

A. Trifiletti, F. Centurelli, P. Tommasino, 'Positive feedback GaAs comparators for SDH/SONET applications', GAAS 98, 6th European Gallium Arsenide and related III-V compounds Applications Symposium, Amsterdam (The Netherlands), 5-7 October 1998, pp 367-372.

A. Pallotta, F. Centurelli, A. Trifiletti, 'A low-power clock and data recovery circuit for 2.5 Gb/s SDH receivers', ISLPED 00, International Symposium on Low Power Electronics and Design, Rapallo (Italy), 25-27 July 2000, pp 67-72.

F. Centurelli, R. Luzzi, M. Olivieri, S. Pennisi, A. Trifiletti, 'A novel topology for a HEMT negative current mirror' GAAS 00, 8th European Gallium Arsenide and other semiconductors Application Symposium, Paris (France), 2-3 October 2000, pp. 144-147.

F. Centurelli, A. Ercolani, P. Tommasino, A. Trifiletti, 'Model of flicker noise effects on phase noise in oscillators', FaN 03, SPIE 1st International Symposium on Fluctuations and Noise. – Conference FN04 Noise in Devices and Circuits, SPIE Proceedings 5113, Santa Fe NM (USA), 1-4 June 2003, pp. 424-434.

F. Centurelli, A. Golfarelli, J. Guinea, L. Masini, D. Morigi, M. Pozzoni, G. Scotti, A. Trifiletti, 'A 10 Gb/s CDR in SiGe BiCMOS commercial technology with multistandard capability', RFIC 03, IEEE Radio Frequency Integrated Circuits Symposium, Philadelphia PA (USA), 8-10 June 2003, pp. 317-320.

F. Centurelli, M. Coli, A. Ercolani, G. Falco, 'A new statistical model of non linear noisy oscillator', FaN 04: SPIE 2nd International Symposium on Fluctuations and Noise. – Conference FN04 Noise in Devices and Circuits II, SPIE Proceedings 5470, Maspalomas (Spain), 25-28 May 2004, pp. 460-469.

F. Centurelli, P. Monsurrò, A. Trifiletti, 'A distortion model for pipeline analog-to-digital converters', ISCAS 07: IEEE International Symposium on Circuits and Systems, New Orleans LA (USA), 27-30 May 2007, pp. 3387-3390.

F. Centurelli, A. Simonetti, A. Trifiletti, 'A sample-and-hold circuit with very low gain error for time interleaving applications', ECCTD 07: 18th European Conference on Circuit Theory and Design, Sevilla (Spain), 26-30 August 2007, pp. 456-459.

F. Centurelli, P. Monsurrò, A. Trifiletti, 'Power-constrained bandwidth optimization in cascaded open-loop amplifiers', ECCTD 07: 18th European Conference on Circuit Theory and Design, Sevilla (Spain), 26-30 August 2007, pp. 651-654.

F. Centurelli, A. Simonetti, A. Trifiletti, 'A low-power sample-and-hold circuit based on a switched-opamp technique', ICSES 08: International Conference on Signals and Electronic Systems, Krakow (Poland), 14-17 September 2008, pp. 105-108.

F. Centurelli, P. Monsurrò, G. Scotti, A. Trifiletti, 'An MDAC architecture with low sensitivity to finite opamp gain', ECCTD 11: 20th European Conference on Circuit Theory and Design, Linköping (Sweden), 29-31 August 2011, pp. 589-592.

F. Centurelli, P. Monsurrò, A. Trifiletti, 'A very low-voltage differential amplifier for opamp design', ECCTD 11: 20th European Conference on Circuit Theory and Design, Linköping (Sweden), 29-31 August 2011, pp. 798-801.

F. Centurelli, P. Monsurrò, G. Parisi, P. Tommasino, A. Trifiletti, 'A fully-differential class-AB OTA with CMRR improved by local feedback', ECCTD 17: 23rd European Conference on Circuit Theory and Design, Catania (Italy), 4-6 September 2017.

A. Fava, F. Centurelli, A. Vittimberga, G. Scotti, 'Wide-band shared LNA for large scale neural recording applications', SMACD 23: International Conference on Synthesis, Modeling, Analysis and Simulation Methods and Applications to Circuit Design, Funchal (Portugal), 3-5 July 2023.

11. Premi e Riconoscimenti Internazionali

1998 Outstanding Paper Award a MixDes 1998

A. Trifiletti, F. Centurelli, G. Fiacco, A. Pallotta, 'A low power Silicon bipolar integrated circuit for 2.5 Gb/s communication system receivers with a novel topology for the transimpedance amplifier', MIXDES 98, 5th International Conference on Mixed Design of Integrated Circuits and Systems, Lodz (Poland), 18-20 June 1998, pp 53-56.

2002 Outstanding Paper Award a MixDes 2002

F. Centurelli, R. Luzzi, G. Lulli, M. Olivieri, A. Trifiletti, 'A robust three-state PFD architecture without output polarity reversal', MIXDES 02, 9th International Conference on Mixed Design of Integrated Circuits and Systems, Wroclaw (Poland), 20-22 June 2002, pp. 223-228.

2022 Elezione al grado di *Senior Member of the IEEE*

12. Attività Editoriali e Partecipazione a Comitati Scientifici

A. Attività come revisore

Lo scrivente svolge attività di revisione per le seguenti riviste pertinenti il SSD IINF-01/A:

IEEE Transactions on Circuits and Systems Part I Regular Papers
IEEE Transactions on Circuits and Systems Part II Express Briefs
IEEE Transactions on VLSI Systems
IEEE Journal of Emerging and Selected Topics in Circuits and Systems
IEEE Transactions on Microwave Theory and Techniques
IEEE Transactions on Instrumentation and Measurement
Microelectronics Journal
AEU International Journal of Electronics and Communications
International Journal of Circuit Theory and Applications
Electronics Letters
Integration the VLSI Journal
Analog Integrated Circuits and Signal Processing
Circuits Systems and Signal Processing
MDPI Electronics
MDPI Applied Sciences
MDPI Sensors
Journal of Low Power Electronics and Applications
MDPI Chips
Microprocessors and Microsystems
MDPI Micromachines
International Journal of Electronics
International Journal of RF and Microwave Computer-Aided Engineering
Journal of Circuits Systems and Computers
Journal of Electromagnetic Waves and Applications
International Journal of Numerical Modeling
Instrumentation Science and Technology
Measurement Science and Technology
IEEE Signal Processing Letters

e per diverse conferenze di settore (ISCAS, ICECS, ECCTD, MWSCAS, NEWCAS, PRIME).

B. Attività editoriali di coordinamento

Da giugno 2022 lo scrivente svolge il ruolo di Associate Editor per la rivista International Journal of Circuit Theory and Applications.

C. Partecipazione a comitati scientifici di congressi

Lo scrivente ha fatto parte del Technical Program Committee per diverse conferenze di settore:

ECCTD European Conference on Circuit Theory and Design (2011, 2013, 2015, 2017)

APPLEPIES International Conference on Applications in Electronics Pervading Industry, Environment and Society (2013)

ICED International Conference on Education (2020)

PRIME International Conference on PhD Research in Microelectronics and Electronics (2021, 2022, 2023, 2024, 2025)

CCECE Canadian Conference on Electrical and Computer Engineering (2024)

13. Attività Universitarie Istituzionali e Gestionali

Lo scrivente è stato membro della commissione dell'esame di stato per l'abilitazione alla professione di Ingegnere presso l'Università di Roma La Sapienza nell'anno 2007.

È stato responsabile JobSOUL (svolgimento di tesi e stage presso aziende) per il consiglio di area di Ingegneria dell'Informazione (sede di Latina) dal 2011 al 2016.

Nel 2012, è stato membro della commissione per i contratti di docenza del consiglio d'area di Ingegneria dell'Informazione.

Nel 2013 ha fatto parte della commissione per l'esame di ammissione al dottorato di ricerca "ICT" presso la Università di Roma "La Sapienza".

Lo scrivente è stato rappresentante dei ricercatori nella Giunta di Dipartimento per i trienni 2015-2017 e 2020-2022.

È stato rappresentante dei ricercatori nella Giunta di Facoltà per il periodo 2017-2022.

Nel 2018 ha fatto parte della commissione per il conferimento del titolo di dottore di ricerca in "Information and Communication Technologies" presso l'Università di Calabria.

Nel 2021 è stato membro della commissione di concorso per assegni di ricerca del Dipartimento.

Nel 2022 ha fatto parte della commissione per la prova di midterm del dottorato di ricerca in "Electronic Engineering" presso la Aarhus University (Danimarca).

Nel 2022 è stato membro della commissione per il contratto di docenza per il corso di Digital System Programming.

Nel 2024 ha fatto parte della commissione per il conferimento del titolo di dottore di ricerca in "Microelettronica" presso l'Università di Pavia.

Da novembre 2024 è membro della Commissione Spazi del Dipartimento.

14. Attività di Trasferimento Tecnologico

A. Partecipazione ad attività di progetto e consulenza

Lo scrivente ha partecipato a numerose attività di ricerca e di consulenza svolte dal Gruppo di ricerca Centro Studi Giorgio Barzilai per aziende di microelettronica e del settore Difesa e Spazio, nell'ambito di contratti di ricerca e di consulenza. Di seguito si riporta l'elenco aggiornato al 2025, con una breve descrizione.

1)

ITALTEL *"Progettazione di alcuni circuiti elettronici da utilizzare in un convertitore di lunghezza d'onda nell'ambito del progetto RACE II MWTN"*

Progetto di un chip-set in GaAs per ricevitori ottici nello standard SDH-STM16.

Resp. Scientifico Dipartimento di Ingegneria Elettronica Prof. Piero Marietti

2)

ITALTEL *"Progettazione di alcuni circuiti elettronici da integrare in unico circuito integrato facente la funzione di estrazione del clock e di rigenerazione dei dati, nell'ambito del progetto europeo ACTS AC069 COBNET"*

Sviluppo di un chipset per comunicazioni digitali nello standard SDH-STM16, utilizzando la tecnologia Maxim GST-2. Il chip set è costituito di una transimpedenza e un clock and data recovery ed è stato qualificato per applicazioni conformi allo standard SDH STM-16 a 2.5GB/s.

Resp. Scientifico Dipartimento di Ingegneria Elettronica Prof. Piero Marietti

3)

Fujitsu Compound Semiconductor Inc. *"Circuiti per il pilotaggio di modulatori elettro-ottici a 40GB/s"*

In questo contratto sono state sviluppati driver SSPA per il pilotaggio di modulatore MZ fino a 40GB/s.

Resp. Scientifico Dipartimento di Ingegneria Elettronica Prof. Guglielmo d'Inzeo

4)

Fujitsu Compound Semiconductor Inc. *"Circuiti per la stima della potenza emessa negli amplificatori monolitici ad onda millimetrica"*

In questo contratto è stato sviluppato un misuratore di potenza online per SSPA realizzati in tecnologia MMIC.

Resp. Scientifico Dipartimento di Ingegneria Elettronica Prof. Guglielmo d'Inzeo

5)

OTI Corning: *"Vincoli tecnologici nella realizzazione di amplificatori di potenza per applicazioni a 40Gb/s"*

Sono stati sviluppati modelli e metodologie di caratterizzazione per modulatori Mach Zehnder in niobato di litio.

Resp. Scientifico Dipartimento di Ingegneria Elettronica Prof. Alessandro Trifiletti

6)

ST Microelectronics: “Sviluppo Componenti al SiGe per Multigigabit Optical Communications”

In questo contratto è stato sviluppato un chip set per comunicazioni sincrone ad alta velocità costituito da una coppia CMU (clock multiplier unit) e CDR (clock and data recovery) per applicazioni a 10Gb/s (SDH STM-64, SONET OC-192 standards).)

Resp. Scientifico Dipartimento di Ingegneria Elettronica Prof. Alessandro Trifiletti

7)

IPITEC: “Ricevitori multiutente a mitigazione di interferenza”

Analisi di algoritmi di ricezione MIMO su processori commerciali ATMEL.

Resp. Scientifico Dipartimento di Ingegneria Elettronica Prof. Alessandro Trifiletti

8)

MARCONI MOBILE S.p.A. : “Corso di progettazione amplificatori RF”

Il Gruppo di ricerca ha impartito un corso di progettazione RF per i progettisti Marconi Mobile.

Resp. Scientifico Dipartimento di Ingegneria Elettronica Prof. Alessandro Trifiletti

9)

ERICSSON LAB ITALY: “Integrated QAM modulator”

In questo contratto è stato sviluppato un modulatore IQ per costellazioni QAM dense.

Resp. Scientifico Dipartimento di Ingegneria Elettronica Prof. Alessandro Trifiletti

10)

ERICSSON LAB ITALY: “Integrated baseband antialiasing filters for multi-QAM modulated signals”

In questo contratto è stata verificata la fattibilità di un filtro antialiasing per applicazioni in ponti radio “mini-link”.

Resp. Scientifico Dipartimento di Ingegneria Elettronica Prof. Alessandro Trifiletti

11)

ERICSSON LAB ITALY: “Integrated baseband antialiasing filters for multi-QAM modulated signals (fase 2)”.

Resp. Scientifico Dipartimento di Ingegneria Elettronica Prof. Alessandro Trifiletti

12)

ERICSSON LAB ITALY: “Integrated baseband antialiasing filters for multi-QAM modulated signals (fase 3)”.

Resp. Scientifico Dipartimento di Ingegneria Elettronica Prof. Alessandro Trifiletti

Nei due contratti 11 e 12 è stato sviluppato un dimostratore di un filtro LPF integrato in tecnologia ST BICMOS6G

13)

Università di Tor Vergata – DIE, Roma. “Progetto preliminare di amplificatori di potenza ad alta efficienza per moduli trasmetti ricevi in banda X (X-band T/R modules) per payload SAR di seconda generazione”

Resp. Scientifico Dipartimento di Ingegneria Elettronica Prof. Alessandro Trifiletti

14)

OERLIKON-CONTRAVES “Sviluppo ASIC mixed signal per trattamento di segnale (fase prima)”

Resp. Scientifico Dipartimento di Ingegneria Elettronica Prof. Alessandro Trifiletti

15)

OERLIKON-CONTRAVES “Sviluppo ASIC mixed signal per trattamento di segnale (fase seconda)”

Resp. Scientifico Dipartimento di Ingegneria Elettronica Prof. Alessandro Trifiletti

16)

OERLIKON-CONTRAVES “Sviluppo ASIC mixed signal per trattamento di segnale (fase terza)”

Resp. Scientifico Dipartimento di Ingegneria Elettronica Prof. Alessandro Trifiletti

Nei contratti 14-16 è stata analizzata la fattibilità di un chip-set in tecnologia BiCMOS per la detezione di segnali radar.

17)

ELETTRONICA S.P.A.: “Studio di fattibilità di ricevitori digitali per l’analisi e la detezione di forme d’onda LPI”

In questo contratto si è sviluppato un simulatore software per un sistema di intercettazione passivo in grado di trattare impulsi radar a bassa probabilità di intercettazione (LPI).

Resp. Scientifico Dipartimento di Ingegneria Elettronica Prof. Alessandro Trifiletti

18)

TECNOTIBERIS-ELMACOM: “Sviluppo di moduli TX-RX per sistemi ESM”

In questo contratto si sono sviluppate alcune funzioni elementari a radiofrequenza (amplificatori di potenza a banda larga e combinatori 4 in 1) e un sottosistema digitale che ha realizzato con le metodiche delle software radio un ricevitore goniometrico (direction finding receiver).

Resp. Scientifico Dipartimento di Ingegneria Elettronica Prof. Alessandro Trifiletti

19)

OERLIKON CONTRAVES ITALIANA, Roma “Sviluppo ASIC mixed signal per trattamento di segnale (fase quarta)”.

Resp. Scientifico Dipartimento di Ingegneria Elettronica Prof. Alessandro Trifiletti

20)

RHEINMETALL (ex- OERLIKON CONTRAVES ITALIANA), Roma “Sviluppo ASIC mixed signal per trattamento di segnale (fase quinta)”

Resp. Scientifico Dipartimento di Ingegneria Elettronica Prof. Alessandro Trifiletti

I contratti 19 e 20 rappresentano la prosecuzione delle attività relative alla fasi precedenti.

21)

ELETTRONICA S.p.A., Roma. “Rivisitazione del progetto dell’ASIC GAM01: definizione ed applicazione modifiche per esecuzione terzo run”

Resp. Scientifico Dipartimento di Ingegneria Elettronica Prof. Alessandro Trifiletti

22)

ELETTRONICA S.p.A., Roma. “Studio per la realizzazione di un ASIC (application specific integrated circuit)”

Resp. Scientifico Dipartimento di Ingegneria Elettronica Prof. Alessandro Trifiletti

I contratti 21 e 22 hanno riguardato il redesign di un circuito mixed signal per l’elaborazione del segnale realizzato in tecnologia CMOS 0.18um.

23)

Space Engineering S.p.A., Roma. “Supporto tecnico alle attività per la realizzazione di un MMIC per BFN per applicazioni spaziali”

Analisi e progetto di circuiti integrati a RF per applicazioni di Beam Forming in apparati di telecomunicazioni satellitari.

Resp. Scientifico Dipartimento di Ingegneria Elettronica Prof. Alessandro Trifiletti

24)

Thales Alenia Space Italia S.p.a., Roma. “Studio e modellistica di catene di amplificazione RF a larga banda, basso rumore ed elevata linearità per applicazioni in ambiente spaziale”

Studio e sviluppo di topologie di LNA ad elevata dinamica.

Resp. Scientifico Dipartimento di Ingegneria Elettronica Prof. Alessandro Trifiletti

25)

ELETTRONICA S.p.A., Roma. “Esamina del progetto dell’ASIC GAM02 e individuazione delle marginalità/difetti”

Redesign ASIC mixed signal GAM-02

Resp. Scientifico Dipartimento di Ing. dell’Informazione, Elettronica e Telecomunicazioni Prof. Alessandro Trifiletti

26)

CNR – Istituto di Ingegneria Biomedica, Roma. “Sviluppo di schede elettroniche per dispositivi scintigrafici ad alta risoluzione spaziale”

Come da oggetto.

Resp. Scientifico Dipartimento di Ing. dell’Informazione, Elettronica e Telecomunicazioni Prof. Alessandro Trifiletti

27)

SELEX ELSAG, Genova. “Algoritmi di Direction Finding e forme d’onda intelligenti”

Come da oggetto.

Resp. Scientifico Dipartimento di Ing. dell’Informazione, Elettronica e Telecomunicazioni Prof. Alessandro Trifiletti

28)

Space Engineering S.p.A., Roma. “Realizzazione di librerie AD e DA, di software di sviluppo e l’acquisto dei servizi di costruzione presso la fonderia”

Sviluppo di integrati mixed signal.

Resp. Scientifico Dipartimento di Ing. dell’Informazione, Elettronica e Telecomunicazioni Prof. Alessandro Trifiletti

29)

Thales Alenia Space Italia S.p.a, Roma. “Procurement of Wideband Link Emulator – Satellite Multi Channel & Repeater Emulator”

Resp. Scientifico Dipartimento di Ing. dell’Informazione, Elettronica e Telecomunicazioni Prof. Alessandro Trifiletti

30)

Thales Alenia Space Italia S.p.a, Roma. “Procurement of Front-End for Wideband Link Emulator (WLE RF Interfaces & MMI)”

Resp. Scientifico Dipartimento di Ing. dell’Informazione, Elettronica e Telecomunicazioni Prof. Alessandro Trifiletti

Nei contratti 29 e 30 è stato sviluppato di un emulatore di canale non- lineare ad elevata BW (250MHz) per il test di modem satellitari.

31)

DSO National Laboratories, Singapore. “Overall process workflow associated with the Radio-Frequency (RF) design and modelling of high speed Lithium Niobate modulator and photodiodes”

Come da oggetto.

Resp. Scientifico Dipartimento di Ing. dell’Informazione, Elettronica e Telecomunicazioni Prof. Alessandro Trifiletti

32)

Nanyang Technological University, Singapore. “Photonics consultancy for analysis and evaluation of a photonic 10-ENOB ADC system (both single-channel and multi-channel) with input bandwidth between 100MHz to 40GHz”

Come da oggetto.

Resp. Scientifico Dipartimento di Ing. dell’Informazione, Elettronica e Telecomunicazioni Prof. Alessandro Trifiletti

B. Brevetti

Lo scrivente è co-autore dei seguenti brevetti:

1)

Francesco Centurelli, Massimo Pozzoni, Giuseppe Scotti, Alessandro Trifiletti, "Phase detector and method of generating a differential signal representative of a phase-shift", EP1473828 A1, 30 apr 2003

Francesco Centurelli, Massimo Pozzoni, Giuseppe Scotti, Alessandro Trifiletti, "Phase detector and method of generating a phase-shift differential signal", US 2005/0110538 A1, 30 apr 2004

2)

Francesco Centurelli, Massimo Pozzoni, Giuseppe Scotti, Alessandro Trifiletti, "Method and circuit for sensing the transition density of a signal and variable gain phase detecting method and device", EP1473834 A1, 30 apr 2003

Francesco Centurelli, Massimo Pozzoni, Giuseppe Scotti, Alessandro Trifiletti, "Method and circuit for sensing the transition density of a signal and variable gain phase detecting method and device", US 2005/0111589 A1, 30 apr 2004

15. Lista delle Pubblicazioni

A. Riviste internazionali

J1

A. Trifiletti, F. Centurelli, G. Fiacco, A. Pallotta

‘A low power Silicon bipolar integrated circuit for 2.5 Gb/s communication systems receivers with a novel topology for the transimpedance amplifier’

Electron Technology Journal, vol. 32, no. 3, July 1999, pp 277-281.

J2

F. Centurelli, A. Trifiletti

‘A novel topology for four-quadrant GaAs monolithic multipliers’

Microwave and Optical Technology Letters, vol. 21, no. 4, May 5 1999, pp 277-282.

J3

F. Centurelli, S. Pisa, P. Tommasino, A. Trifiletti

‘A novel bias-dependent rational model for MESFET and HEMT devices’

Microwave and Optical Technology Letters, vol. 24, no. 2, January 20 2000, pp 102-106.

J4

F. Centurelli, G. Scotti, P. Tommasino, A. Trifiletti

‘A synthesis-oriented approach to design microwave multidevice amplifiers with a prefixed stability margin’

IEEE Microwave and Guided Wave Letters, vol. 10, no. 3, March 2000, pp 102-104.

J5

F. Centurelli, L. Germani, R. Luzzi, P. Tommasino, A. Trifiletti

‘A new topology for a transimpedance amplifier with postfabrication bandwidth adjustment’

Microwave and Optical Technology Letters, vol. 25, no. 1, April 5 2000, pp 47-51.

J6

F. Centurelli, G. Scotti, P. Tommasino, A. Trifiletti

‘A synthesis-oriented conditional stability criterion for microwave multidevice circuits with complex termination impedances’

IEEE Microwave and Guided-Wave Letters, vol. 10, no. 11, November 2000, pp. 460-462.

J7

F. Centurelli, R. Leblanc, R. Luzzi, D. Smith, P. Tommasino, A. Trifiletti

‘Design of a transimpedance amplifier for 10 Gb/s optical receivers with a new topology of active balun’

Microwave and Optical Technology Letters, vol. 27, no. 4, November 20 2000, pp. 257-259.

J8

F. Centurelli, R. Luzzi, G. Scotti, A. Trifiletti

‘A bandwidth-compensated transimpedance amplifier for multi-gigabit optical receivers’

Microwave and Optical Technology Letters, vol. 30, no. 2, July 20 2001, pp. 79-81.

J9

F. Centurelli, M. Magliocco, A. Pallotta, P. Tommasino, A. Trifiletti

‘A compact 3R-receiver module for short-haul SDH STM-16 systems’

IEEE/OSA Journal of Lightwave Technology, vol. 19, no. 9, September 2001, pp. 1307-1315.

J10

F. Centurelli, A. Ercolani, P. Tommasino, A. Trifiletti

‘A new model to analyze the effects of noise in a real oscillator’

Microwave and Optical Technology Letters, vol. 32, no. 4, February 20 2002, pp. 305-307.

J11

F. Centurelli, R. Luzzi, M. Olivieri, A. Trifiletti

‘A bootstrap technique for wideband amplifiers’

IEEE Transactions on Circuits and Systems – Part I: Fundamental Theory and Applications, vol. 49, no. 10, October 2002, pp. 1474-1480.

J12

F. Centurelli, R. Luzzi, G. Scotti, P. Tommasino, A. Trifiletti

‘An efficient synthesis-oriented CAD implementation of Nyquist stability criterion’

Electron Technology Internet Journal, vol. 34, 2002 (October),

Available on-line: http://www.ite.waw.pl/etij/vol_34.html

J13

F. Centurelli, S. Pennisi, A. Trifiletti

‘High-CMRR CMOS current output stage’

IEE Electronics Letters, vol. 39, no. 13, 26 June 2003, pp. 945-946.

J14

F. Centurelli, A. Di Martino, G. Scotti, P. Tommasino, A. Trifiletti

‘A new procedure for non-linear statistical model extraction of GaAs FET integrated circuits’

International Journal of RF and Microwave Computer-Aided Engineering, vol. 13, no. 5, September 2003, pp. 348-356.

J15

F. Centurelli, A. Ercolani, G. Scotti, P. Tommasino, A. Trifiletti

‘Behavioral model of a noisy VCO for efficient time-domain simulation’

Microwave and Optical Technology Letters, vol. 40, no. 5, March 5 2004, pp. 352-355.

J16

F. Centurelli, A. Golfarelli, J. Guinea, L. Masini, D. Morigi, M. Pozzoni, G. Scotti, A. Trifiletti

‘A 10 Gb/s CMU/CDR chip-set in SiGe BiCMOS commercial technology with multistandard capability’

IEEE Transactions on Very Large Scale Integration (VLSI) Systems, vol. 13, no. 2, February 2005, pp. 191-200.

J17

F. Centurelli, M. Diquai, G. Ferri, N. C. Guerrini, G. Scotti, A. Trifiletti

‘A novel dual-output CCII-based single-ended to differential converter’

Analog Integrated Circuits and Signal Processing, vol. 43, no. 1, April 2005, pp. 87-90.

J18

A. M. Bersani, F. Centurelli, L. Fontana, A. Trifiletti

‘Analytic transient solution of SCFL logic gates’

International Journal of Circuit Theory and Applications, vol. 33, no. 5, September/October 2005, pp. 365-378.

J19

M. Balsi, F. Centurelli, A. Pallotta, A. Trifiletti

‘Input-matching and offset-cancelling network for limiting amplifiers in optical communication systems’

Analog Integrated Circuits and Signal Processing, vol. 47, no. 1, April 2006, pp. 23-32.

J20

F. Centurelli, G. Scotti, A. Trifiletti

‘A high-speed low-voltage phase detector for clock recovery from NRZ data’

IEEE Transactions on Circuits and Systems – Part I: Regular Papers, vol. 54, no. 8, August 2007, pp. 1626-1635.

J21

F. Centurelli, A. D. Grasso, S. Pennisi, G. Scotti, A. Trifiletti

‘CMOS high-CMRR current output stages’

IEEE Transactions on Circuits and Systems – Part II: Express Briefs, vol. 54, no. 9, September 2007, pp. 745-749.

J22

F. Centurelli, P. Monsurrò, A. Trifiletti

‘A simple technique for fast digital background calibration of A/D converters’

EURASIP Journal on Advances in Signal Processing, vol. 2008, article ID 453218, 11 pages, 2008.

J23

F. Centurelli, R. Luzzi, P. Tommasino, A. Trifiletti

‘A wideband high-CMRR single-ended to differential converter’

Analog Integrated Circuits and Signal Processing, vol. 59, no. 1, April 2009, pp. 43-52.

J24

F. Centurelli, P. Monsurrò, S. Pennisi, G. Scotti, A. Trifiletti

‘Design solutions for sample-and-hold circuits in CMOS nanometer technologies’

IEEE Transactions on Circuits and Systems – Part II: Express Briefs, Special Issue on Circuits and Systems Solutions for Nanoscale CMOS Design Challenges, vol. 56, no. 6, June 2009, pp. 459-463.

J25

F. Centurelli, A. Di Martino, G. Scotti, P. Tommasino, A. Trifiletti

‘Extraction of CAD-compatible statistical non-linear models of GaAs HEMT MMIC’s’

Microwave and Optical Technology Letters, vol. 51, no. 9, September 2009, pp. 2163-2166.

J26

F. Centurelli, P. Monsurrò, A. Trifiletti

‘Behavioral modeling for calibration of pipeline analog-to-digital converters’

IEEE Transactions on Circuits and Systems – Part I: Regular Papers, vol. 57, no. 6, June 2010, pp. 1255-1264.

J27

F. Centurelli, P. Monsurrò, A. Trifiletti

‘Efficient digital background calibration of time-interleaved pipeline analog-to-digital converters’

IEEE Transactions on Circuits and Systems – Part I: Regular Papers, vol. 59, no. 7, July 2012, pp. 1373-1383.

J28

F. Centurelli, A. Simonetti, A. Trifiletti

‘An improved common-mode feedback loop for the differential-difference amplifier’

Analog Integrated Circuits and Signal Processing, vol. 74, no. 1, January 2013, pp. 33-48.

J29

F. Centurelli, P. Monsurrò, A. Trifiletti

‘Improved digital background calibration of time-interleaved pipeline A/D converters’

IEEE Transactions on Circuits and Systems – Part II: Express Briefs, vol. 60, no. 2, February 2013, pp. 86-90.

J30

F. Centurelli, R. A. Gualano, A. Trifiletti

‘A wideband amplifier topology based on positive capacitive feedback’

Microelectronics Journal, vol. 45, no. 1, January 2014, pp. 50-58.

J31

S. Bongiovanni, F. Centurelli, G. Scotti, A. Trifiletti

‘Design and validation through a frequency-based metric of a new countermeasure for protecting nanometer ICs from power analysis attacks’

Journal of Cryptographic Engineering, vol. 5, no. 4, November 2015, pp. 269-288.

J32

F. Centurelli, P. Monsurrò, F. Rosato, D. Ruscio, A. Trifiletti

‘Calibrating sample and hold stages with pruned Volterra kernels’

IET Electronics Letters, vol. 51, no. 25, 10th December 2015, pp. 2094-2096

J33

F. Centurelli, P. Monsurrò, A. Trifiletti

‘Comparative performance analysis and complementary triode based CMFB circuits for fully differential class AB symmetrical OTAs with low power consumption’

International Journal of Circuit Theory and Applications, vol. 44, no. 5, May 2016, pp. 1039-1054.

J34

F. Centurelli, P. Monsurrò, F. Rosato, D. Ruscio, A. Trifiletti

‘Calibration of pipeline ADC with pruned Volterra kernels’

IET Electronic Letters, vol. 52, no. 16, August 4 2016, pp. 1370-1371.

J35

V. Stornelli, L. Pantoli, G. Ferri, L. Liberati, F. Centurelli, P. Monsurrò, A. Trifiletti

‘The AB CCII, a novel adaptive biasing LP-LV current conveyor architecture’

International Journal of Electronics and Communications (AEU), vol. 79, September 2017, pp. 301-306.

J36

F. Centurelli, P. Monsurrò, G. Parisi, P. Tommasino, A. Trifiletti

‘Fully differential class-AB OTA with improved CMRR’

Journal of Circuits Systems and Computers, vol. 26, no. 11, November 2017, paper 1750169.

J37

F. Centurelli, P. Monsurrò, G. Parisi, P. Tommasino, A. Trifiletti

‘A 0.6V class-AB CMOS OTA exploiting threshold lowering’

IET Electronics Letters, vol. 54, no. 15, 26 July 2018, pp. 930-932.

J38

M. Avoli, F. Centurelli, P. Monsurrò, G. Scotti, A. Trifiletti

‘Low power DDA-based instrumentation amplifier for neural recording applications in 65nm CMOS’

International Journal of Electronics and Communications (AEU), vol. 92, August 2018, pp. 30-35.

J39

F. Centurelli, P. Monsurrò, G. Parisi, P. Tommasino, A. Trifiletti

‘A topology of fully-differential class-AB symmetrical OTA with improved CMRR’

IEEE Transactions on Circuits and Systems – Part II: Express Briefs, vol. 65, no. 11, November 2018, pp. 1504-1508.

J40

F. Centurelli, P. Monsurrò, A. Trifiletti

‘A 10GHz inductorless active SiGe HBT lowpass filter’

International Journal of RF and Microwave Computer-Aided Engineering, Special Issue on Active Filters Using Modern Design and Optimization Techniques, vol. 28, no. 9, November 2018, e21567.

J41

F. Centurelli, P. Monsurrò, A. Trifiletti

‘High-gain, high-CMRR class-AB operational transconductance amplifier based on the flipped voltage follower’

International Journal of Circuit Theory and Applications, vol. 47, no. 4, April 2019, pp. 499-512.

J42

D. Cellucci, F. Centurelli, V. Di Stefano, P. Monsurrò, S. Pennisi, G. Scotti, A. Trifiletti

‘0.6V CMOS cascode OTA with complementary gate-driven gain boosting and forward body bias’

International Journal of Circuit Theory and Applications, vol. 48, no. 1, January 2020, pp. 15-27.

J43

F. Centurelli, P. Monsurrò, G. Scotti, P. Tommasino, A. Trifiletti

'10-GHz fully-differential Sallen-Key lowpass-biquad filter in 55nm SiGe BiCMOS technology'

MDPI Electronics, Special Issue on Filter Design Solutions for RF Systems, vol. 9, no. 4, April 2020, paper 563.

J44

F. Centurelli, P. Monsurrò, V. Stornelli, G. Barile, A. Trifiletti

'Low-power class-AB 4th-order low-pass filter based on current conveyors with dynamic mismatch compensation of biasing errors'

International Journal of Circuit Theory and Applications, vol. 48, no. 4, April 2020, pp. 472-484.

J45

F. Centurelli, G. Scotti, A. Trifiletti, G. Palumbo

'Delay models and design guidelines for MCML gates with resistor or PMOS load'

Microelectronics Journal, vol. 99, May 2020, paper 104755.

J46

F. Centurelli, A. Fava, M. Olivieri, P. Tommasino, A. Trifiletti

'A low-voltage class-AB OTA exploiting adaptive biasing'

International Journal of Electronics and Communications (AEU), vol. 122, paper 153282, July 2020.

J47

F. Centurelli, A. Fava, P. Monsurrò, G. Scotti, P. Tommasino, A. Trifiletti

'Low power switched-resistor bandpass filter for neural recording channels in 130nm CMOS'

Heliyon, vol. 6, no. 8, August 2020, paper e04723.

J48

F. Centurelli, P. Monsurrò, G. Scotti, P. Tommasino, A. Trifiletti

'An improved reversed Miller compensation technique for three-stage CMOS OTAs with double pole-zero cancellation and almost single-pole frequency response'

International Journal of Circuit Theory and Applications, vol. 48, no. 11, November 2020, pp. 1990-2005.

J49

F. Centurelli, P. Monsurrò, G. Scotti, P. Tommasino, A. Trifiletti

‘A power efficient frequency divider with 55 GHz self-oscillating frequency in SiGe BiCMOS’

MDPI Electronics, vol. 9, no. 11, November 2020, paper 1968.

J50

F. Centurelli, G. Scotti, A. Trifiletti, G. Palumbo

‘Design of low-voltage power efficient frequency dividers in Folded MOS Current Mode Logic’

IEEE Transactions on Circuits and Systems – Part I: Regular Papers, vol. 68, no. 2, February 2021, pp. 680-691.

J51

F. Centurelli, R. Della Sala, G. Scotti, A. Trifiletti

‘A 0.3V, rail-to-rail, ultralow-power, non-tailed, body-driven, sub-threshold OTA’

MDPI Applied Sciences. Special Issue Advances in Low-Voltage Design Techniques for Scaled CMOS Technologies, vol. 11, no. 6, March 2021, paper 2528.

J52

F. Centurelli, G. Scotti, G. Palumbo

‘A very low voltage frequency divider in Folded MOS Current Mode Logic with complementary n- and p-type Flip-Flops’

IEEE Transactions on Very Large Scale Integration (VLSI) Systems, vol. 29, no. 5, May 2021, pp. 998-1008.

J53

F. Centurelli, R. Della Sala, P. Monsurrò, G. Scotti, A. Trifiletti

‘A 0.3V rail-to-rail ultra-low-power OTA with improved bandwidth and slew-rate’

MDPI Journal of Low Power Electronics and Applications, vol. 11, no. 2, June 2021, paper 19.

J54

F. Centurelli, G. Scotti, G. Palumbo

‘0.5-V frequency dividers in Folded MCML exploiting forward body bias: analysis and comparison’

MDPI Electronics, vol. 10, no. 12, June 2021, paper 1383

J55

F. Centurelli, R. Della Sala, P. Monsurrò, G. Scotti, A. Trifiletti

‘A novel OTA architecture exploiting current gain stages to boost bandwidth and slew-rate’

MDPI Electronics, vol. 10, no. 14, July 2021, paper 1638.

J56

F. Centurelli, A. Fava, G. Scotti, A. Trifiletti

‘Distributed switched-resistor approach for high-Q biquad filters’

International Journal of Electronics and Communications (AEU). Vol. 138, August 2021, paper 153894

J57

F. Centurelli, A. Fava, G. Scotti, A. Trifiletti

‘A detailed model of the switched-resistor technique’

IEEE Open Journal of Circuits and Systems, vol. 2, 2021, pp. 497-507.

J58

V. Stornelli, G. Barile, L. Pantoli, M. Scarsella, G. Ferri, F. Centurelli, P. Tommasino, A. Trifiletti

‘A new VCI application: sinusoidal oscillators’

MDPI Journal of Low Power Electronics and Applications, Special Issue on Ultra-Low-Power ICs for the Internet of Things, vol. 11, no. 3, September 2021, paper 30.

J59

G. Amendola, L. Boccia, F. Centurelli, P. Chevalier, A. Fonte, C. Mustacchio, A. Pallotta, P. Tommasino, A. Traversa, A. Trifiletti

‘Compact E-band I/Q receiver in SiGe BiCMOS for 5G backhauling applications’

IEEE Transactions on Circuits and Systems – Part II: Express Briefs, Special issue on the 2021 ISICAS, vol. 68, no. 9, September 2021, pp. 3098-3102.

J60

C. Bocciarelli, F. Centurelli, P. Monsurrò, V. Spinogatti, A. Trifiletti

‘A class-AB linear transconductor with enhanced linearity’

International Journal of Electronics and Communications (AEU), vol. 140, October 2021, paper 153955.

J61

F. Centurelli, P. Monsurrò, G. Scotti, P. Tommasino, A. Trifiletti

‘An E-band variable gain amplifier with 24dB-control range and 80 to 100 GHz 1-dB bandwidth in SiGe BiCMOS technology’

Frequenz, Journal of RF Engineering and Telecommunications, vol. 75, no. 11-12, November 2021, pp. 479-485.

J62

F. Centurelli, P. Monsurrò, G. Scotti, P. Tommasino, A. Trifiletti

‘A SiGe HBT 6th-order 10GHz inductor-less anti-aliasing low-pass filter for high-speed ATI digitizers’

IEEE Transactions on Circuits and Systems – Part I: Regular Papers, Special issue on the 2021 ISICAS, vol. 69, no. 1, January 2022, pp. 100-113.

J63

F. Centurelli, R. Della Sala, P. Monsurrò, P. Tommasino, A. Trifiletti

‘An ultra-low-voltage class-AB OTA exploiting local CMFB and body-to-gate interface’

International Journal of Electronics and Communications (AEU), vol. 145, February 2022, paper 154081.

J64

G. Barile, G. Ferri, L. Pantoli, M. Ragnoli, V. Stornelli, L. Safari, F. Centurelli, P. Tommasino, A. Trifiletti

‘Low power class-AB VCII with enhanced dynamic range’

International Journal of Electronics and Communications (AEU), vol. 146, March 2022, paper 154120.

J65

F. Centurelli, R. Della Sala, P. Monsurrò, G. Scotti, A. Trifiletti

‘A tree-based architecture for high-performance ultra-low-voltage amplifiers’

MDPI Journal of Low Power Electronics and Applications, Special Issue on Ultra-Low-Power ICs for the Internet of Things, vol. 12, no. 1, March 2022, paper 12.

J66

F. Centurelli, G. Giustolisi, S. Pennisi, G. Scotti

‘A biasing approach to design ultra-low-power standard-cell-based analog building blocks for nanometer SoCs’

IEEE Access, vol. 10, 2022, pp. 25892-25900.

J67

G. Barile, F. Centurelli, G. Ferri, P. Monsurrò, L. Pantoli, V. Stornelli, P. Tommasino, A. Trifiletti
'A new fully closed-loop, high precision, class-AB CCII for differential capacitive sensor interfaces'
MDPI Electronics, Special Issue on Feature Papers on Circuit and Signal Processing, vol. 11, no. 6, March 2022, paper 903.

J68

F. Centurelli, P. Monsurrò, A. Trifiletti, M. D'Arco, L. Angrisani
'General approach to the calibration of innovative MFP multi-channel digitizers'
IEEE Transactions on Instrumentation and Measurement, vol. 71, paper 2002614, 2022.

J69

F. Centurelli, A. Fava, G. Scotti, A. Trifiletti
'80dB tuning range transimpedance amplifier exploiting the switched-resistor approach'
International Journal of Electronics and Communications (AEU), vol. 149, May 2022, paper 154196.

J70

F. Centurelli, R. Della Sala, G. Scotti
'A standard-cell-based CMFB for fully synthesizable OTAs'
MDPI Journal of Low Power Electronics and Applications, Special Issue on Ultra-Low-Power ICs for the Internet of Things, vol. 12, no. 2, June 2022, paper 27.

J71

R. Della Sala, F. Centurelli, G. Scotti
'A novel differential to single-ended converter for ultra-low-voltage inverter-based OTAs'
IEEE Access, vol. 10, 2022, pp. 98179-98190.

J72

F. Centurelli, P. Monsurrò, G. Scotti, P. Tommasino, A. Trifiletti
'Methods for model complexity reduction for the nonlinear calibration of amplifiers using Volterra kernels'
MDPI Electronics, vol. 11, no. 19, October 2022, paper 3067.

J73

F. Centurelli, R. Della Sala, G. Scotti

‘Enabling ULV fully synthesizable analog circuits: the BA cell, a standard-cell-based building block for analog design’

IEEE Transactions on Circuits and Systems – Part II: Express Briefs, vol. 69, no. 12, December 2022, pp. 4689-4693.

J74

R. Della Sala, F. Centurelli, G. Scotti, P. Tommasino, A. Trifiletti

‘A differential-to-single-ended converter based on enhanced body-driven current mirrors targeting ultra-low-voltage OTAs’

MDPI Electronics, Special Issue on Ultra-Low-Voltage and Ultra-Low-Power Integrated Circuits and Systems Evolution, vol. 11, no. 23, December 2022, paper 3838.

J75

A. Fava, F. Centurelli, G. Scotti

‘A detailed model of cyclostationary noise in switched-resistor circuits’

IEEE Transactions on Circuits and Systems – Part I: Regular Papers, vol. 70, no. 2, February 2023, pp. 667-679.

J76

R. Della Sala, D. Bellizia, F. Centurelli, G. Scotti

‘A monostable Physically Unclonable Function based on improved RCCMs with 0-1.56% native bit instability at 0.6-1.2 V and 0-75 °C’

MDPI Electronics, Special Issue on Ultra-Low-Power and Ultra-Low-Voltage Integrated Circuits and Systems Evolution, vol.12, no. 3, February 2023, paper 755.

J77

R. Della Sala, F. Centurelli, P. Monsurrò, G. Scotti, A. Trifiletti

‘A 0.3V rail-to-rail three-stage OTA with high DC gain and improved robustness to PVT variations’

IEEE Access, vol. 11, 2023, pp. 19635-19644.

J78

R. Della Sala, F. Centurelli, G. Scotti

‘A high performance 0.3V standard-cell-based OTA suitable for automatic layout flow’

MDPI Applied Sciences, Special Issue Power Management of Energy-Autonomous Nodes and Systems, vol. 13, no. 9, May 2023, paper 5517.

J79

R. Della Sala, F. Centurelli, P. Monsurrò, G. Scotti, A. Trifiletti

‘A body-driven rail-to-rail 0.3V OTA exploiting current gain stages’

International Journal of Circuit Theory and Applications, vol. 51, no. 5, May 2023, pp. 1971-1987.

J80

R. Della Sala, V. Spinogatti, C. Bocciarelli, F. Centurelli, A. Trifiletti

‘A 0.15-to-0.5 V body-driven dynamic comparator with rail-to-rail ICMR’

MDPI Journal of Low Power Electronics and Applications, vol. 13, no. 2, June 2023, paper 35.

J81

F. Centurelli, P. Monsurrò, P. Tommasino, A. Trifiletti

‘A novel parallel digitizer with a pulseless Mixing-Filtering-Processing architecture and its implementation in a SiGe HBT technology at 40GS/s’

IEEE Access, vol. 11, 2023, pp. 75657-75670.

J82

C. Bocciarelli, F. Centurelli, P. Monsurrò, G. Scotti, V. Spinogatti, P. Tommasino, A. Trifiletti

‘High-accuracy low-cost generalized complex pruned Volterra models for nonlinear calibration’

IEEE Transactions on Circuits and Systems – Part I: Regular Papers, vol. 70, no. 9, September 2023, pp. 3534-3544.

J83

V. Spinogatti, R. Della Sala, C. Bocciarelli, F. Centurelli, A. Trifiletti

‘An improved Strong Arm comparator with integrated static preamplifier’

IEEE Access, vol. 11, 2023, pp. 91724-91737.

J84

R. Della Sala, F. Centurelli, G. Scotti, G. Palumbo

‘Standard cell based comparators for ultra-low voltage applications: analysis and comparisons’

MDPI Chips, vol. 2, no. 3, September 2023, pp. 173-194.

J85

C. Bocciarelli, F. Centurelli, P. Monsurrò, V. Spinogatti, A. Trifiletti

‘A 17GHz inductorless low-pass filter based on a quasi-Sallen-Key approach’

International Journal of Circuit Theory and Applications, vol. 51, no. 11, November 2023, pp. 5066-5084.

J86

R. Della Sala, F. Centurelli, G. Scotti, G. Palumbo

‘Rail to rail ICMR and high performance ULV standard-cell-based comparator for biomedical and IoT applications’

IEEE Access, vol. 12, 2024, pp. 4642-4659.

J87

R. Della Sala, F. Centurelli, G. Scotti

‘A novel high performance standard-cell based ULV OTA exploiting an improved basic amplifier’

IEEE Access, vol. 12, 2024, pp. 17513-17521.

J88

V. Spinogatti, R. Della Sala, C. Bocciarelli, F. Centurelli, A. Trifiletti

‘Body biasing techniques for dynamic comparators: a systematic survey’

MDPI Electronics, Special Issue Feature Papers in Circuit and Signal Processing, vol. 13, no. 4, February 2024, paper 711.

J89

R. Della Sala, F. Centurelli, G. Scotti, A. Trifiletti

‘A 0.3V OTA with enhanced CMRR and high robustness to PVT variations’

MDPI Journal of Low Power Electronics and Applications, vol. 14, no. 2, June 2024, paper 21.

J90

R. Della Sala, F. Centurelli, P. Monsurrò, G. Scotti

‘On the feasibility of cascode and regulated cascode amplifier stages in ULV circuits exploiting MOS transistors in deep subthreshold operation’

IEEE Access, vol. 12, 2024, pp. 73292-73303.

J91

F. Palma, D. Logoteta, F. Centurelli, P. Chevalier, R. Cicchetti, F. Monsieur, C. Santini, O. Testa, A. Trifiletti, A. D'Alessandro

'Design optimization of a THz receiver based on 60nm CMOS technology'

MDPI Electronics, Special Issue Advanced Topics in Modelling Microwave and mmWave Electron Devices, vol. 13, no. 16, August 2024, paper 3122.

J92

G. Nicolini, A. Fava, F. Centurelli, G. Scotti

'A 0.064mm² 16-channels in-pixel neural front-end with improved system common-mode rejection exploiting a current-mode summing approach'

MDPI Journal of Low Power Electronics and Applications, Special Issue Ultra-Low-Power ICs for the Internet of Things Vol. 2, vol. 14, no. 3, September 2024, paper 38.

J93

R. Della Sala, F. Centurelli, G. Scotti

'An ULV approach to accurately set the quiescent current of digital standard cells used for analog design and its application on an inverter-based OTA'

MDPI Journal of Low Power Electronics and Applications, Special Issue Ultra-Low-Power ICs for the Internet of Things Vol. 2, vol. 14, no. 3, September 2024, paper 39.

J94

M. Lombardo, F. Centurelli, P. Monsurrò, A. Trifiletti

'A novel FVF-based GHz-range biquad in a 28nm CMOS FD-SOI technology'

International Journal of Electronics and Communications (AEU), vol. 185, October 2024, paper 155466.

J95

A. Fava, F. Centurelli, G. Scotti

'0.5 V digitally-tunable filters for biomedical applications exploiting segmented duty-cycled resistors'

IEEE Access, vol. 13, 2025, pp. 17996-18004.

J96

R. Della Sala, D. Bellizia, F. Centurelli, G. Scotti, A. Trifiletti

'Exploiting body-driven feedbacks in Physical Unclonable Functions for ultra low voltage, ultra low power applications: a 0.3V weak-PUF'

IEEE Transactions on Circuits and Systems – Part I: Regular Papers, Special Issue Emerging Hardware Security and Trust Technologies, vol. 72, no. 2, February 2025, pp. 483-496.

J97

A. Fava, F. Centurelli, P. Monsurrò, G. Scotti

‘A compact low-power chopper LNA for high density neural front-ends’

MDPI Sensors, vol. 25, no. 4, February 2025, paper 1157.

J98

M. Lombardo, F. Centurelli, P. Monsurrò, A. Trifiletti

‘Cascadable complementary SSF-based biquads with 8 GHz cutoff frequency and very low power consumption’

MDPI Electronics, Special Issue Advances in RF, Analog and Mixed Signal Circuits, vol. 14, no. 8, April 2025, paper 1668.

B. Conferenze internazionali

C1

A. Pallotta, F. Centurelli, A. Trifiletti

‘A monolithic GaAs clock and data recovery circuit for 2.5 Gb/s NRZ data stream’

GAAS 97, 5th European Gallium Arsenide and related III-V compounds Applications Symposium, Bologna, 3-5 September 1997, pp 263-266.

C2

A. Pallotta, F. Centurelli, F. Loriga, A. Trifiletti

‘A monolithic 2.5 Gb/s clock and data recovery circuit based on Silicon bipolar technology’

SyBEN 98, Symposium on Broadband European Networks (Europto), SPIE Proceedings 3408, Zürich (Switzerland), 18-20 May 1998, pp 183-190.

C3

A. Trifiletti, F. Centurelli, G. Fiacco, A. Pallotta

‘A low power Silicon bipolar integrated circuit for 2.5 Gb/s communication system receivers with a novel topology for the transimpedance amplifier’

MIXDES 98, 5th International Conference on Mixed Design of Integrated Circuits and Systems, Lodz (Poland), 18-20 June 1998, pp 53-56.

C4

A. Trifiletti, F. Centurelli, P. Tommasino

‘Positive feedback GaAs comparators for SDH/SONET applications’

GAAS 98, 6th European Gallium Arsenide and related III-V compounds Applications Symposium, Amsterdam (The Netherlands), 5-7 October 1998, pp 367-372.

C5

F. Centurelli, A. Pallotta, P. Tommasino, A. Trifiletti

‘Input-matching and offset-compensation network for limiting amplifiers in optical communication systems’

SSMSD 99, Southwest Symposium on Mixed-Signal Design, Tucson AZ (USA), 11-13 April 1999, pp 113-116.

C6

F. Centurelli, P. Tommasino, A. Trifiletti

‘A new topology of controlled C³A differentiator for multi-Gb/s optical applications’

SSMSD 99, Southwest Symposium on Mixed-Signal Design, Tucson AZ (USA), 11-13 April 1999, pp 185-188.

C7

F. Centurelli, A. Di Martino, L. Germani, R. Luzzi, S. Pisa, P. Tommasino, A. Trifiletti, P. Marietti

‘A new cost function for the extraction of the small-signal model for MESFET and HEMT devices’

MIXDES 99, 6th International Conference on Mixed Design of Integrated Circuits and Systems, Krakow (Poland), 17-19 June 1999, pp 159-162.

C8

F. Centurelli, A. Di Martino, L. Germani, R. Luzzi, S. Pennisi, P. Tommasino, A. Trifiletti, P. Marietti

‘A signal and noise model for GaAs single-input to differential convertor’

MIXDES 99, 6th International Conference on Mixed Design of Integrated Circuits and Systems, Krakow (Poland), 17-19 June 1999, pp 347-350.

C9

A. Pallotta, M. Magliocco, A. Trifiletti, F. Centurelli, P. Tommasino

‘2.5 Gb/s 20-pin DIL receiver module’

ECOC 99, 25th European Conference on Optical Communications, Nice (France), 26-30 September 1999, vol. 1, pp 362-363.

C10

F. Centurelli, R. Luzzi, M. Olivieri, A. Trifiletti

‘A bootstrap technique for wideband amplifiers’

MIXDES 00, 7th International Conference on Mixed Design of Integrated Circuits and Systems, Gdynia (Poland), 15-17 June 2000, pp 383-386.

C11

A. Pallotta, F. Centurelli, A. Trifiletti

‘A low-power clock and data recovery circuit for 2.5 Gb/s SDH receivers’

ISLPED 00, International Symposium on Low Power Electronics and Design, Rapallo (Italy), 25-27 July 2000, pp 67-72.

C12

J. Van der Tang, D. Kasperkowitz, F. Centurelli, A. Van Roermund

‘A 2.7 V, 8 GHz monolithic I/Q RC oscillator with active inductance loads’

ESSCIRC 00, 26th European Solid-State Circuits Conference, Stockholm (Sweden), 19-21 September 2000, pp 304-307.

C13

F. Centurelli, R. Luzzi, M. Olivieri, S. Pennisi, A. Trifiletti

‘A novel topology for a HEMT negative current mirror’

GAAS 00, 8th European Gallium Arsenide and other semiconductors Application Symposium, Paris (France), 2-3 October 2000, pp. 144-147.

C14

F. Centurelli, P. Marietti, G. Scotti, P. Tommasino, A. Trifiletti

‘Stability-oriented design of millimeter-wave multistage amplifiers’

MIXDES 01, 8th International Conference on Mixed Design of Integrated Circuits and Systems, Zakopane (Poland), 21-23 June 2001, pp. 231-234.

C15

F. Centurelli, A. Di Martino, P. Marietti, G. Scotti, P. Tommasino, A. Trifiletti

‘A new procedure for distance-dependent statistical non-linear modelling of GaAs FET’s’

GAAS 01, 9th European Gallium Arsenide and other semiconductors Application Symposium, London (UK), 24-25 September 2001, pp. 147-150.

C16

F. Centurelli, A. Ercolani, P. Tommasino, A. Trifiletti

‘A behavioral model of a noisy VCO for efficient time-domain simulation’

MIXDES 02, 9th International Conference on Mixed Design of Integrated Circuits and Systems, Wroclaw (Poland), 20-22 June 2002, pp. 209-212.

C17

F. Centurelli, R. Luzzi, G. Lulli, M. Olivieri, A. Trifiletti

‘A robust three-state PFD architecture without output polarity reversal’

MIXDES 02, 9th International Conference on Mixed Design of Integrated Circuits and Systems, Wroclaw (Poland), 20-22 June 2002, pp. 223-228.

C18

M. Balsi, F. Centurelli, S. Pennisi, A. Trifiletti

‘A tree-like amplifier architecture for large gain-bandwidth product’

ICECS 02, 9th IEEE International Conference on Electronics, Circuits and Systems, Dubrovnik (Croatia), 15-18 September 2002, vol. 1, pp. 121-124.

C19

M. Balsi, F. Centurelli, S. Pennisi, A. Trifiletti

‘Bipolar differential cell with improved bandwidth performance’

ICECS 02, 9th IEEE International Conference on Electronics, Circuits and Systems, Dubrovnik (Croatia), 15-18 September 2002, vol. 3, pp. 1055-1058.

C20

F. Centurelli, A. Di Martino, P. Marietti, G. Scotti, P. Tommasino, A. Trifiletti

‘A non-linear statistical model for GaAs FET integrated circuits’

GAAS 02, 10th European Gallium Arsenide and other semiconductors Application Symposium, Milano (Italy), 23-24 September 2002, pp. 381-384.

C21

F. Centurelli, R. Luzzi, G. Scotti, P. Tommasino, A. Trifiletti

‘Design centering and yield optimisation of MMIC's with off-chip digital controllers’

GAAS 02, 10th European Gallium Arsenide and other semiconductors Application Symposium, Milano (Italy), 23-24 September 2002, pp. 385-388.

C22

M. Balsi, F. Centurelli, G. Scotti, P. Tommasino, A. Trifiletti

‘An accurate behavioral model of phase detectors for clock recovery circuits’

ISCAS 03: IEEE International Symposium on Circuits and Systems, Bangkok (Thailand), 25-28 May 2003, vol. 4, pp. 636-639.

C23

F. Centurelli, A. Ercolani, P. Tommasino, A. Trifiletti

‘Model of flicker noise effects on phase noise in oscillators’

FaN 03, SPIE 1st International Symposium on Fluctuations and Noise. – Conference FN04 Noise in Devices and Circuits, SPIE Proceedings 5113, Santa Fe NM (USA), 1-4 June 2003, pp. 424-434.

C24

F. Centurelli, A. Golfarelli, J. Guinea, L. Masini, D. Morigi, M. Pozzoni, G. Scotti, A. Trifiletti

‘A 10 Gb/s CDR in SiGe BiCMOS commercial technology with multistandard capability’

RFIC 03, IEEE Radio Frequency Integrated Circuits Symposium, Philadelphia PA (USA), 8-10 June 2003, pp. 317-320.

C25

M. Balsi, F. Centurelli, A. Forte, G. Scotti, P. Tommasino, A. Trifiletti

‘Non-linear statistical modelling of GaAs FET integrated circuits using principal component analysis’

GAAS 03: 11th European Gallium Arsenide and other semiconductors Application Symposium, München (BRD), 6-8 October 2003, pp. 49-52.

C26

F. Centurelli, A. Golfarelli, J. Guinea, L. Masini, D. Morigi, M. Pozzoni, G. Scotti, A. Trifiletti

‘A 10 Gb/s CMU in SiGe BiCMOS commercial technology with multistandard capability’

GAAS 03: 11th European Gallium Arsenide and other semiconductors Application Symposium, München (BRD), 6-8 October 2003, pp. 217-220.

C27

F. Centurelli, S. Pennisi, A. Trifiletti

‘Current output stage with improved CMRR’

ICECS 03: 10th IEEE International Conference on Electronics, Circuits and Systems, Sharjah (UAE), 14-17 December 2003, vol. 2, pp. 543-546.

C28

F. Centurelli, M. Pozzoni, G. Scotti, A. Trifiletti

‘A high-speed low-voltage phase detector for clock recovery from NRZ data’

ISCAS 04: IEEE International Symposium on Circuits and Systems, Vancouver BC (Canada), 23-26 May 2004, vol. 4, pp. 297-300.

C29

F. Centurelli, S. Costi, M. Olivieri, S. Pennisi, A. Trifiletti

‘Robust three-state PFD architecture with enhanced frequency acquisition capabilities’

ISCAS 04: IEEE International Symposium on Circuits and Systems, Vancouver BC (Canada), 23-26 May 2004, vol. 4, pp. 812-815.

C30

F. Centurelli, M. Coli, A. Ercolani, G. Falco

‘A new statistical model of non linear noisy oscillator’

FaN 04: SPIE 2nd International Symposium on Fluctuations and Noise. – Conference FN04 Noise in Devices and Circuits II, SPIE Proceedings 5470, Maspalomas (Spain), 25-28 May 2004, pp. 460-469.

C31

F. Centurelli, A. Di Martino, P. Marietti, G. Scotti, P. Tommasino, A. Trifiletti

‘Extraction of a CAD-compatible non-linear statistical model for GaAs HEMT devices by means of a reliable automatic procedure’

INMMiC 04: Integrated Non-linear Microwave and Millimetre-wave Circuits Workshop, Monte Porzio Catone (Italy), 15-16 November 2004, pp. 25-26.

C32

F. Centurelli, G. Lulli, P. Marietti, P. Monsurrò, G. Scotti, A. Trifiletti

‘High-speed CMOS-to-ECL pad driver in 0.18 μ m CMOS’

ISCAS 05: IEEE International Symposium on Circuits and Systems, Kobe (Japan), 23-26 May 2005, vol. 1, pp. 448-451.

C33

F. Centurelli, R. Luzzi, P. Marietti, G. Scotti, P. Tommasino, A. Trifiletti

‘An active balun for high-CMRR IC design’

GAAS 05: 13th European Gallium Arsenide and other Compound Semiconductors Application Symposium, Paris (France), 3-4 October 2005, pp. 621-624.

C34

M. Balsi, F. Centurelli, P. Marietti, G. Scotti, P. Tommasino, A. Trifiletti, G. Valente

‘Validation of a statistical non-linear model of GaAs HEMT MMIC’s by hypothesis testing and principal component analysis’

ISCAS 06: IEEE International Symposium on Circuits and Systems, Kos (Greece), 21-24 May 2006, pp. 4635-4638.

C35

F. Centurelli, P. Monsurrò, A. Trifiletti

‘A model for the distortion due to switch on-resistance in sample-and-hold circuits’

ISCAS 06: IEEE International Symposium on Circuits and Systems, Kos (Greece), 21-24 May 2006, pp. 4787-4790.

C36

F. Centurelli, P. Monsurrò, A. Trifiletti

‘A distortion model for pipeline analog-to-digital converters’

ISCAS 07: IEEE International Symposium on Circuits and Systems, New Orleans LA (USA), 27-30 May 2007, pp. 3387-3390.

C37

F. Centurelli, A. Simonetti, A. Trifiletti

‘A sample-and-hold circuit with very low gain error for time interleaving applications’

ECCTD 07: 18th European Conference on Circuit Theory and Design, Sevilla (Spain), 26-30 August 2007, pp. 456-459.

C38

A. D. Grasso, S. Pennisi, F. Centurelli, G. Scotti, A. Trifiletti

‘CMOS Miller OTA with body-biased output stage’

ECCTD 07: 18th European Conference on Circuit Theory and Design, Sevilla (Spain), 26-30 August 2007, pp. 539-542.

C39

F. Centurelli, P. Monsurrò, A. Trifiletti

‘Power-constrained bandwidth optimization in cascaded open-loop amplifiers’

ECCTD 07: 18th European Conference on Circuit Theory and Design, Sevilla (Spain), 26-30 August 2007, pp. 651-654.

C40

F. Centurelli, L. Giancane, M. Olivieri, G. Scotti, A. Trifiletti

‘A statistical model of logic gates for Monte Carlo simulation including on-chip variation’

PATMOS 07: 17th International Workshop on Power and Timing Modeling, Optimization and Simulation, Göteborg, 3-5 September 2007, Lecture Notes in Computer Science 4644, pp. 516-525.

C41

F. Centurelli, P. Monsurrò, G. Scotti, A. Trifiletti

‘A gain-enhancing technique for very low-voltage amplifiers’

ISCAS 08: IEEE International Symposium on Circuits and Systems, Seattle WA (USA), 18-21 May 2008, pp. 2282-2285.

C42

F. Centurelli, A. Simonetti, A. Trifiletti

‘A low-power sample-and-hold circuit based on a switched-opamp technique’

ICSES 08: International Conference on Signals and Electronic Systems, Krakow (Poland), 14-17 September 2008, pp. 105-108.

C43

F. Centurelli, A. Simonetti, A. Trifiletti

‘Switched capacitor sample-and-hold circuit with input signal range beyond supply voltage’

NORCHIP 08: 26th Norchip Conference, Tallinn (Estonia), 17-18 November 2008, pp. 75-78.

C44

F. Centurelli, A. Simonetti, A. Trifiletti

‘Near-optimum switched capacitor sample-and-hold circuit’

NORCHIP 09: 27th Norchip Conference, Trondheim (Norway), 16-17 November 2009.

C45

F. Centurelli, L. Piattella, P. Tommasino, A. Trifiletti

‘A novel topology of broadband coaxial impedance transformer’

EuMC 10: 40th European Microwave Conference, Paris (France), 26 September – 1 October 2010, pp. 357-360.

C46

F. Centurelli, P. Monsurrò, A. Trifiletti

‘Digital background calibration of subsampling time-interleaved ADCs’

IWADC 11: IMEKO International Workshop on ADC Modelling, Testing and Data Converter Analysis and Design and IEEE 2011 ADC Forum, Orvieto (Italy), 30 June – 1 July 2011.

C47

F. Centurelli, P. Monsurrò, G. Scotti, A. Trifiletti

‘An MDAC architecture with low sensitivity to finite opamp gain’

ECCTD 11: 20th European Conference on Circuit Theory and Design, Linköping (Sweden), 29-31 August 2011, pp. 589-592.

C48

F. Centurelli, P. Monsurrò, A. Trifiletti

‘A class-AB flipped voltage follower output stage’

ECCTD 11: 20th European Conference on Circuit Theory and Design, Linköping (Sweden), 29-31 August 2011, pp. 786-789.

C49

F. Centurelli, P. Monsurrò, A. Trifiletti

‘A class-AB very low voltage amplifier and sample & hold circuit’

ECCTD 11: 20th European Conference on Circuit Theory and Design, Linköping (Sweden), 29-31 August 2011, pp. 794-797.

C50

F. Centurelli, P. Monsurrò, A. Trifiletti

‘A very low-voltage differential amplifier for opamp design’

ECCTD 11: 20th European Conference on Circuit Theory and Design, Linköping (Sweden), 29-31 August 2011, pp. 798-801.

C51

F. Centurelli, G. Scotti, P. Tommasino, A. Trifiletti, M. Djukanovic

‘Design of broad-band power amplifiers by means of an impedance transforming lossy equalizer’

MIXDES 14: 21st International Conference on Mixed Design of Integrated Circuits and Systems, Lublin (Poland), 19-21 June 2014, pp. 189-193.

C52

F. Centurelli, P. Monsurrò, F. Romano, G. Scotti, P. Tommasino, A. Trifiletti

‘Using feed array networks to control distortions in antenna reflector for astrophysical radio-astronomy’

Ground-Based and Airborne Telescopes V, SPIE Proceedings 9145, Montreal QC (Canada), 22-27 June 2014, paper 914523.

C53

F. Centurelli, G. Scotti, P. Tommasino, A. Trifiletti, F. Romano, R. Cimmino, A. Saitto

‘Feed array metrology and correction layer for large antenna systems in ASIC mixed signal technology’

Modeling, System Engineering and Project Management for Astronomy VI, SPIE Proceedings 9150, Montreal QC (Canada), 22-24 June 2014, SPIE Conf. 9150, paper 91500F

C54

F. Centurelli, G. Scotti, P. Tommasino, A. Trifiletti, F. Romano, R. Cimmino, A. Saitto

‘Cosmic non-TEM radiation and synthetic feed array system in ASIC mixed signal technology’

Modeling, System Engineering and Project Management for Astronomy VI, SPIE Proceedings 9150, Montreal QC (Canada), 22-24 June 2014, SPIE Conf. 9150, paper 91501W

C55

F. Centurelli, P. Monsurrò, D. Ruscio, A. Trifiletti

‘A new class-AB flipped voltage follower using a common-gate auxiliary amplifier’

MIXDES 16: 23rd International Conference on Mixed Design of Integrated Circuits and Systems, Lodz (Poland), 23-25 June 2016, pp. 143-146.

C56

F. Centurelli, R. F. Cimmino, P. Monsurrò, F. Romano, A. Trifiletti

‘Blind and reference channel-based time interleaved ADC calibration schemes: a comparison’

Ground-Based and Airborne Telescopes VI, Edinburgh (U.K.), 26 June – 1 July 2016, SPIE Conf. 9906, paper 990631.

C57

D. Ruscio, F. Centurelli, P. Monsurrò, A. Trifiletti

‘Reconfigurable low voltage inverter-based sample-and-hold amplifier’

PRIME 17: 13th Conference on Ph.D. Research in Microelectronics and Electronics, Giardini Naxos – Taormina (Italy), 12-15 June 2017, pp. 133-136.

C58

G. Barile, L. Liberati, G. Ferri, L. Pantoli, V. Stornelli, F. Centurelli, P. Monsurrò, A. Trifiletti

‘Power-efficient dynamic-biased CCII’

ECCTD 17: 23rd European Conference on Circuit Theory and Design, Catania (Italy), 4-6 September 2017.

C59

F. Centurelli, P. Monsurrò, P. Tommasino, A. Trifiletti

‘On the use of voltage conveyors for the synthesis of biquad filters and arbitrary networks’

ECCTD 17: 23rd European Conference on Circuit Theory and Design, Catania (Italy), 4-6 September 2017.

C60

F. Centurelli, P. Monsurrò, A. Trifiletti, G. Barile, G. Ferri, L. Pantoli, V. Stornelli

‘Class-AB current conveyors based on the FVF’

ECCTD 17: 23rd European Conference on Circuit Theory and Design, Catania (Italy), 4-6 September 2017.

C61

F. Centurelli, P. Monsurrò, G. Parisi, P. Tommasino, A. Trifiletti

‘A fully-differential class-AB OTA with CMRR improved by local feedback’

ECCTD 17: 23rd European Conference on Circuit Theory and Design, Catania (Italy), 4-6 September 2017.

C62

F. Centurelli, P. Monsurrò, A. Trifiletti

‘A low-power class-AB Gm-C biquad stage in CMOS 40nm technology’

ICECS 19: 26th International Conference on Electronics Circuits and Systems, Genova (Italy), 27-29 November 2019, pp. 294-297.

C63

P. Piedimonte, F. Centurelli, F. Palma

‘A revision of the theory of THz detection by MOS-FET in the light of the self-mixing model’

2020 AEIT International Annual Conference, 23-25 September 2020.

C64

P. Piedimonte, F. Centurelli, F. Palma

‘A revision of the theory of THz detection by MOS-FET in the light of the self-mixing model in the substrate’

IRMMW-THz 20: 45th International Conference on Infrared, Millimeter, and Terahertz Waves, Buffalo NY (USA), 8-13 November 2020.

C65

R. Giusto, F. Centurelli, F. Palma

‘CMOS integrated system for Terahertz detection’

IRMMW-THz 20: 45th International Conference on Infrared, Millimeter, and Terahertz Waves, Buffalo NY (USA), 8-13 November 2020.

C66

F. Centurelli, G. Scotti, A. Trifiletti, G. Palumbo

‘A low-voltage high-performance frequency divider exploiting Folded MCML’

ISCAS 21: IEEE International Symposium on Circuits and Systems, Daegu (Korea), 23-26 May 2021.

C67

G. Amendola, L. Boccia, F. Centurelli, P. Chevalier, A. Fonte, S. Karman, S. Levantino, A. Mazzanti, C. Mustacchio, A. Pallotta, I. Petrioli, C. Samori, F. Tesolin, P. Tommasino, A. Traversa, A. Trifiletti

‘SiGe BiCMOS building blocks for E- and D-band backhauling front-ends’

EuMiC 21: 16th European Microwave Integrated Circuits Conference, London (U.K.), 3-4 April 2022, pp. 113-116.

C68

G. Amendola, L. Boccia, F. Centurelli, W. Ciccognani, E. Limiti, C. Mustacchio, P. Tommasino, A. Trifiletti

‘Characterization-oriented design of E-band variable-gain amplifiers in BiCMOS technology’

MMS 22: 21st Mediterranean Microwave Symposium, Pizzo Calabro (Italy), 9-13 May 2022.

C69

R. Della Sala, F. Centurelli, P. Monsurrò, G. Scotti

‘High-efficiency 0.3V OTA in CMOS 130nm technology using current mirrors with gain’

PRIME 22: 17th Conference on Ph.D. Research in Microelectronics and Electronics, Villasimius (Italy), 12-15 June 2022, pp. 69-72.

C70

R. Della Sala, F. Centurelli, P. Monsurrò, G. Scotti

‘Sub- μ W front-end low noise amplifier for neural recording applications’

PRIME 22: 17th Conference on Ph.D. Research in Microelectronics and Electronics, Villasimius (Italy), 12-15 June 2022, pp. 305-308.

C71

R. Della Sala, C. Bocciarelli, F. Centurelli, V. Spinogatti, A. Trifiletti

‘A novel ultra-low voltage fully synthesizable comparator exploiting NAND gates’

PRIME 23: 18th International Conference on Ph.D. Research in Microelectronics and Electronics, Valencia (Spain), 18-21 June 2023, pp. 21-24.

C72

V. Spinogatti, C. Bocciarelli, F. Centurelli, R. Della Sala, A. Trifiletti

Robust body biasing techniques for dynamic comparators’

PRIME 23: 18th International Conference on Ph.D. Research in Microelectronics and Electronics, Valencia (Spain), 18-21 June 2023, pp. 25-28.

C73

C. Bocciarelli, R. Della Sala, V. Spinogatti, F. Centurelli, A. Trifiletti

‘A 2.5 GHz, 0.6 V body driven dynamic comparator exploiting charge pump based dynamic biasing’

PRIME 23: 18th International Conference on Ph.D. Research in Microelectronics and Electronics, Valencia (Spain), 18-21 June 2023, pp. 37-40.

C74

A. Fava, F. Centurelli, A. Vittimberga, G. Scotti

‘Wide-band shared LNA for large scale neural recording applications’

SMACD 23: International Conference on Synthesis, Modeling, Analysis and Simulation Methods and Applications to Circuit Design, Funchal (Portugal), 3-5 July 2023.

C75

G. Barile, V. Stornelli, L. Pantoli, D. Colaiuda, F. Centurelli, P. Tommasino, A. Trifiletti, G. Ferri

‘CMOS adaptive biased second generation voltage conveyor’

BATS 23: International Workshop on Biomedical Applications, Technologies and Sensors, Catanzaro (Italy), 28-29 September 2023, pp. 62-67.

C76

R. Della Sala, C. Bocciarelli, V. Spinogatti, F. Centurelli, A. Trifiletti

‘Enhancing performance of ultra-low voltage body-driven comparators through clocked supply voltage’

PRIME 24: 19th International Conference on Ph.D. Research in Microelectronics and Electronics, Larnaca (Cyprus), 9-12 June 2024.

C77

V. Spinogatti, C. Bocciarelli, L. Eusebio, F. Centurelli, G. Scotti, A. Trifiletti

‘A 150 MS/s, 10 bit SAR ADC featuring a modified quasi-monotonic switching scheme’

PRIME 24: 19th International Conference on Ph.D. Research in Microelectronics and Electronics, Larnaca (Cyprus), 9-12 June 2024.

C78

R. Della Sala, F. Centurelli, G. Scotti

‘A novel technique to design ultra-low voltage and ultra-low power inverter-based OTAs’

PRIME 24: 19th International Conference on Ph.D. Research in Microelectronics and Electronics, Larnaca (Cyprus), 9-12 June 2024.

C. Conferenze nazionali

N1

A. Pallotta, F. Centurelli, F. Loriga, A. Trifiletti

‘Estrattore di clock e rigeneratore dati integrato in silicio per SDH STM-16 su fibra ottica’

Fotonica 97, 5° Convegno Nazionale sulle Tecniche Fotoniche nelle Telecomunicazioni, Roma, 20-23 Maggio 1997, pp 86-89.

N2

R. Della Sala, F. Centurelli, P. Monsurrò, G. Scotti, A. Trifiletti

‘A 0.3V three-stage body-driven OTA’

SIE 22: 53rd Annual Meeting of the Associazione Società Italiana di Elettronica, Pizzo Calabro (Italy), 7-9 Settembre 2022, pp. 21-26. Lecture Notes in Electrical Engineering 1005.

N3

G. Barile, F. Centurelli, D. Colaiuda, G. Ferri, P. Monsurrò, L. Pantoli, V. Stornelli, P. Tommasino, A. Trifiletti
'Nonlinear adaptive biasing for low-voltage class-AB OTAs'

SIE 23: 54th Annual Meeting of the Associazione Società Italiana di Elettronica, Noto (Italy), 6-8 Settembre 2023, pp. 26-35. Lecture Notes in Electrical Engineering 1113.

N4

R. Della Sala, D. Bellizia, F. Centurelli, G. Scotti, A. Trifiletti

'An ultra low voltage Physical Unclonable Function exploiting body-driven feedbacks'

SIE 23: 54th Annual Meeting of the Associazione Società Italiana di Elettronica, Noto (Italy), 6-8 Settembre 2023, pp. 36-42. Lecture Notes in Electrical Engineering 1113.

D. Libri

B1

F. Centurelli, A. Ferrari

Fondamenti di elettronica

Zanichelli: Bologna, 2016.

ISBN: 9788808621306

B2

A. Fonte, S. Moscato, R. Moro, A. Pallotta, A. Mazzanti, A. Bilato, G. De Filippi, L. Piotta, F. Centurelli, P. Monsurrò, H. Sadeghi Chameh, P. Tommasino, A. Trifiletti, D. Lodi Rizzini, F. Tesolin, S. M. Dartizio, S. Levantino

'D-band phased array antenna module for 5G backhaul'

Pp. 101-114 in:

Key enabling technologies for future wireless, wired, optical and satcom applications.

Edited by: B. Debaillie, P. Ferrari, D. Belot, F. Brunier, C. Gaquierre, P. Busson, U. Steikūnien.

River Publishers Series in Communications and Networking.

River Publishers: Gistrup, 2024.

ISBN: 9788770046657 (9788770046640)

Roma, 10/6/2025

In fede, Francesco Centurelli