

Salvatore Pontarelli
Curriculum Vitae ai fini della pubblicazione

Informazioni generali

Nome	Salvatore Pontarelli
------	----------------------

Indice

1. Profilo	2
2. Titoli	3
3. Posizioni Ricoperte	3
4. Attività didattica	3
5. Finanziamenti dei progetti di cooperazione e ricerca	4
6. Attività di ricerca presso qualificati istituti stranieri	6
7. Seminari su invito	6
8. Attività di ricerca	7
9. Indici bibliometrici	7
10. Pubblicazioni selezionate per la valutazione di merito	7
11. Organizzazione di convegni di carattere scientifico in Italia o all'estero;	10
12. Partecipazione a congressi in qualità di relatore	10
13. Direzione o partecipazione a comitati editoriali di riviste.	11
14. Organizzazione, direzione e coordinamento di gruppi di ricerca nazionali e internazionali, o partecipazione agli stessi	12
15. Collaborazione con aziende	12
16. Brevetti ed attività di trasferimento tecnologico.	13
17. Lista completa delle pubblicazioni	14
a. Libri (Editor)	14
b. Capitoli di libro	14
c. Riviste	14
d. Editoriali	18
e. Atti di conferenze	19

1. Profilo

Il profilo scientifico di Salvatore Pontarelli è duplice. Ha iniziato la sua attività di ricerca nel gruppo *Defect and Fault Tolerance* dell'Università di Roma "Tor Vergata" lavorando sulla progettazione di sistemi ad alta affidabilità per applicazioni spaziali. Dal 2009 ha esteso la sua attività di ricerca alla progettazione hardware di sistemi di rete ad alta velocità lavorando per il CNIT (Consorzio Nazionale Interuniversitario per le Telecomunicazioni).

Salvatore Pontarelli ha iniziato a lavorare sulla progettazione di sistemi ad alta affidabilità durante la tesi di dottorato, incentrata sull'analisi dell'affidabilità di dispositivi *FPGA* (*Field Programmable Gate Array*) basati su memorie *SRAM* e sullo sviluppo di tecniche per il rilevamento di guasti transitori e permanenti su *FPGA*. Dopo il dottorato ha ampliato i suoi interessi di ricerca allo studio dei codici di rilevazione e correzione degli errori per sistemi di memorizzazione dei dati e alla progettazione di circuiti aritmetici tolleranti ai guasti. Ha collaborato con diversi enti pubblici e aziende private (Agenzia Spaziale Italiana, Agenzia Spaziale Europea, Thales-Alenia Space, Syderal) nella progettazione di sistemi digitali ad alta affidabilità per satelliti. Alcuni di questi sistemi sono utilizzati in diversi satelliti attualmente in orbita (satellite Gaia e costellazione MTG (Meteosat Third Generation)).

Nel 2009 ha iniziato la sua collaborazione con il CNIT studiando l'utilizzo di *FPGA* per accelerare gli algoritmi di ispezione del traffico Internet (*Deep Packet Inspection*) utilizzati nei sistemi per la rilevazione di intrusioni nella rete (*Intrusion Detection System*). Successivamente, ha lavorato alla progettazione e all'ottimizzazione delle strutture basate su tabelle di *hash* e filtri di Bloom, con l'obiettivo di migliorare la loro efficienza in termini di risorse di memoria o in termini di consumo di energia. Nel 2011 ha ricevuto un *Cisco Research Award* per migliorare l'affidabilità e l'efficienza energetica di memorie associative (*TCAM*) utilizzando i filtri di Bloom. Successivamente, ha collaborato con diversi produttori di dispositivi per la rete internet (Cisco e Mellanox Technologies). I risultati delle ricerche sono stati utilizzati su alcuni dispositivi ASIC per l'istradamento del traffico Internet (*Ethernet switch chip*) di nuova generazione. Dal 2015 la sua attività di ricerca principale è legata alla progettazione di architetture hardware ad alta velocità per dispositivi di rete programmabili (*Software Defined Networking*). Nel corso della sua attività di ricerca ha partecipato a diversi progetti di ricerca finanziati da enti pubblici ed aziende private, ricoprendo anche ruoli di responsabilità, sia come *Principal Investigator*, sia come responsabile di *Work Package*.

Salvatore Pontarelli ha pubblicato più di 60 articoli su rivista (principalmente IEEE) e più di 70 contributi in atti di convegni internazionali. Secondo Google, il suo lavoro è stato citato più di 1500 volte e il suo h-index è 22. Detiene 11 brevetti su metodi per ottimizzare gli algoritmi di ricerca utilizzati nei dispositivi di rete. E' stato *Guest Editor* per diverse riviste scientifiche (Elsevier e IEEE), è *Associate Editor* per *IEEE Transactions on nanotechnology* e *IET Electronics Letters* ed ha ricoperto ruoli organizzativi (*Program Chair*, *General Chair*) in diverse conferenze dell'IEEE.

Dal 2002 ha insegnato presso l'Università di Roma "Tor Vergata" come professore a contratto. In particolare è stato professore a contratto per i corsi di "Laboratorio di Applicazioni Informatiche" e di "Laboratorio di Elettronica digitale". Ha inoltre tenuto le esercitazioni per i corsi di "Sistemi Elettronici Programmabili", "Progettazione di circuiti e sistemi VLSI", "*Enterprise Networks*", "Affidabilità di componenti e sistemi VLSI". Ha anche insegnato per due anni un corso su "Sistemi Embedded" per il dottorato di ricerca. Ha supervisionato circa 25 tesi di laurea ed è stato revisore per tesi di dottorato presso l'Università di Roma "Tor Vergata" e presso l'"University of Technology", Brno, Repubblica Ceca. Ha conseguito l'abilitazione scientifica nazionale alle funzioni di professore di II fascia per i Settori concorsuali 09/E3 – Elettronica, 09/H1 - Sistemi di Elaborazione delle Informazioni e 09/F2 – Telecomunicazioni.

Attualmente ricopre il ruolo di Ricercatore presso il CNIT e coordina il gruppo di lavoro dell'unità di Ricerca dell'università di Roma "Tor Vergata" per lo sviluppo di architetture hardware per dataplane programmabili *FPGA*. Il gruppo è al momento composto da 1 dottorando (di cui il sottoscritto è co-supervisore) e 5 ricercatori junior.

2. Titoli

A.A. 1998/99: Laurea in Ingegneria Elettronica presso l'università degli studi di Bologna con una votazione finale di 95/100.

A.A. 2002/03: Dottore di Ricerca in Ingegneria delle Telecomunicazioni e Microelettronica.

04/04/2017: Abilitazione scientifica nazionale alle funzioni di professore di II fascia per il Settore concorsuale 09/H1 - Sistemi di Elaborazione delle Informazioni.

05/04/2017: Abilitazione scientifica nazionale alle funzioni di professore di II fascia per il Settore concorsuale 09/F2 – Telecomunicazioni.

06/09/2019: Abilitazione scientifica nazionale alle funzioni di professore di II fascia per il Settore concorsuale 09/E3 – Elettronica.

3. Posizioni Ricoperte

Dal	al	Istituzione	Posizione
01-01-2014	Oggi	CNIT - Consorzio Nazionale Interuniversitario per le Telecomunicazioni	Ricercatore
15-03-2017	15-09-2017	Telecom Paristech, Laboratory of Information, Networking and Communication Sciences, Paris, (FR)	Senior Researcher
01-09-2014	31-01-2015	University of Bristol (UK), Department of Computer Science.	Research Associate
01-07-2010	04-07-2013	Dipartimento di Ingegneria Elettronica dell'Università di Roma "Tor Vergata"	Assegnista di ricerca
02-06-2007	01-06-2010	Agenzia Spaziale Italiana	Assegnista di ricerca
02-05-2005	01-05-2007	Dipartimento di Ingegneria Elettronica dell'Università di Roma "Tor Vergata"	Assegnista di ricerca

4. Attività didattica

Professore a contratto per il corso "Laboratorio di Applicazioni Informatiche", presso l'Università di Roma "Tor Vergata" per gli A.A. dal 2002/03 al 2006/07.

Professore a contratto per il corso "Laboratorio di Elettronica Digitale", presso l'Università di Roma "Tor Vergata" dal 2007/08 al 2009/10.

Docente per il corso "*Sviluppo di sistemi embedded*". Corso per i dottorati di ricerca in "Telecomunicazioni e Micro-elettronica", "Sistemi e Tecnologie dello Spazio", "Informatica e Ingegneria dell'Automazione", Università di Roma "Tor Vergata", A.A. 2009/10 e 2010/11.

Ha inoltre tenuto le esercitazioni e partecipato alle commissioni di esame dei seguenti corsi:

- *Sistemi Elettronici Programmabili*, Corso di laurea in Ingegneria Elettronica, "Università di Roma Tor Vergata", dal 2006 al 2012.
- *Progettazione di Circuiti e Sistemi VLSI*, Corso di laurea specialistica in Ingegneria Elettronica, "Università di Roma Tor Vergata", dal 2006 al 2012.
- *Enterprise Networks*, Corso di laurea specialistica in *ICT and Internet Engineering*, "Università di Roma Tor Vergata", dal 2017 ad oggi.

- *Affidabilità di componenti e sistemi VLSI*, Corso di laurea magistrale in Ingegneria Elettronica, “Università di Roma Tor Vergata”, dal 2015 ad oggi.
- *Affidabilità di Sistemi Digitali*, Corso di laurea magistrale in Ingegneria Elettronica, “Università di Roma Tor Vergata”, dal 2018 ad oggi.

E' stato inoltre relatore o correlatore di più di 25 tesi di laurea, laurea magistrale, laurea specialistica, e revisore per tesi di dottorato presso l'Università di Roma “Tor Vergata” e presso l' “University of Technology”, Brno, Repubblica Ceca. Attualmente è co-supervisore di uno studente di dottorato presso l'Università di Roma “Tor Vergata”.

5. Finanziamenti dei progetti di cooperazione e ricerca

Salvatore Pontarelli ha partecipato a numerosi progetti di ricerca finanziati da enti pubblici e aziende private, ricoprendo negli ultimi anni ruoli di responsabilità (*Technical Manager*, *Work Package Leader* e *Task Leader*) in diversi progetti europei. E' stato *Principal Investigator* (PI) o *co-Principal Investigator* (co-PI) di diversi progetti di ricerca¹ (3 finanziamenti da Cisco Systems, 2 finanziamenti da progetti europei H2020, 1 finanziamento dall'EPRSC) dimostrando autonoma capacità di attrarre finanziamenti per sostenere le proprie attività di ricerca.

01-06-2019 – 30-05-2020

“Stream-Based Monitoring Task at Single and Large Scale in a Fast and Scalable manner”- CG#1377999 finanziato da Cisco Systems (95.000 USD) (**PI**).

01-12-2018 – 30-04-2019

Progetto “Assessment of FlowBlaze on Fed4FIRE+ testbed”, finanziamento nell'ambito del progetto H2020 Fed4FIRE+ (53.750 EUR) (**co-PI/Technical Manager**)

01-11-2018 - 30-04-2019

“FlowBlaze: 5G use cases implementation”, finanziato nell'ambito del progetto H2020 5G-INFIRE (73.750 EUR) (**co-PI/Technical Manager**)

01-07-2017 – 28-02-2020.

Progetto H2020 5G-PICTURE “Programmable Infrastructure Converging disaggregated neTwork and compUte Resources”. **Responsabile del Work Package** WP3: “Data Plane Programmability and Infrastructure Components”. **Responsabile del task** T7.1: “Standardisation and Dissemination”.

01-01-2015 - 31-03-2017

Progetto H2020 BeBa “Behavioural Based forwarding”. **Responsabile dei task** T2.1: "Basic programming abstraction" e T2.2: "Extended XFSM-based API and flow computing engine".

01-09-2014 - 31-03-2015

DeSyRe - “on-Demand System Reliability”, EU 7th Framework Programme. (**Partecipante**)

01-01-2013 - 31-12-2013

“Use of hash based structures for power saving in Ternary CAM” - CG# 575770 finanziato da Cisco Systems tramite un Cisco Research Award (85.000 USD). (**Principal Investigator**).

¹ Per i progetti di cui è stato PI o co-PI è riportato l'ammontare del finanziamento ottenuto.

01-01-2012 - 31-12-2015

"Yield and reliability enhancement techniques for novel memory devices" finanziato dall'UK-EPRSC (United Kingdom - Engineering and Physical Sciences Research Council), (274.137 GBP) (**co-PI**).

01-01-2011 - 31-12-2011

"Bloom Filters for Error Detection and Correction in Binary/Ternary CAM" - CG#572188 finanziato da Cisco Systems tramite un Cisco Research Award. (50.000 USD). (**Principal Investigator**).

01-01-2011 - 31-12-2011

"Hi-Rel COTS Based on Board Computer-II", finanziato dall' ESA (**Partecipante**).

01-01-2011 - 31-12-2015

Grant Holder Representative, Italian Management Committee member per la COST ACTION IC1103: "MEDIAN - Manufacturable and Dependable Multicore Architectures at Nanoscale".

01-01-2010 - 31-01-2012

DEMONS (DEcentralized, cooperative and privacy-preserving MONitoring for trustworthinesS), EU 7th Framework Programme. (**Partecipante**).

01-01-2010 - 31-12-2012

"Sistemi digitali ad alta affidabilità e tolleranti ai guasti in tecnologie nanometriche: caratterizzazione e metodologie progettuali", (PRIN – 2008) (**Partecipante**).

01-01-2009 - 31-12-2009

"Hi-Rel COTS Based on Board Computer" finanziato dall' ESA (European Space Agency). **Responsabile del Work Package** WP3400 "Survey of candidate memory devices".

01-01-2009 - 31-03-2010

PRISM (PRIVacy-aware Secure Monitoring), EU 7th Framework Programme; **Responsabile del task** WP4.1: "Front-end Tier Implementation".

01-01-2006 - 31-12-2007

"Soft Error in componenti logici programmabili", (PRIN - 2005) (**Partecipante**).

01-01-2005 - 31-12-2006

"Tecniche per la valutazione dell'affidabilità e disponibilità di circuiti e sistemi digitali innovativi", (PRIN - 2004) (**Partecipante**).

01-06-2003 - 31-12-2006

"System On Chip (SOC) ad uso spaziale realizzati tramite circuiti integrati ad alta affidabilità e basso costo" finanziato dall'Agenzia Spaziale Italiana (ASI) (**Partecipante**)

02-03-2000 - 31-12-2002

"Sistema ad alta affidabilità tollerante ai guasti per applicazioni spaziali", finanziato dall'Agenzia Spaziale Italiana (ASI) (**Partecipante**)

Il Dott. Salvatore Pontarelli è stato inoltre revisore per l'EPSRC (Engineering and Physical Sciences Research Council) del Regno Unito e per la Commissione Europea nell'ambito dei bandi H2020-SPACE.

6. Attività di ricerca presso qualificati istituti stranieri

Telecom Paristech (École nationale supérieure des télécommunications), Paris, (FR)

Dal marzo 2017 a settembre 2017 è stato Senior Researcher presso la scuola superiore Telecom Paristech. Nel periodo trascorso presso Telecom Paristech lavora sui metodi per tematiche relative all'accelerazione di applicazioni software per l'istadamento del traffico di rete (*software routers*). In particolare sono stati studiati meccanismi di *batching* finalizzati ad aumentare l'efficienza delle CPU nel processamento dei dati. I meccanismi di *batching* consentono di aggregare diversi pacchetti di dati in un unico gruppo in modo da incrementare le hit rate dell'*instruction-cache* e della *data-cache* delle CPU Intel x86.

Department of Computer Science, University of Bristol, Bristol, UK

Dal settembre del 2014 a gennaio 2015 è stato Research Associate presso l'università di Bristol, nell'ambito del progetto di ricerca Desyre "on-Demand System Reliability" finanziato dalla comunità europea all'interno del settimo Programma quadro.

Laboratoire d'Intégration de Systèmes et des technologies (LIST) del Commissariat à l'énergie atomique et aux énergies (CEA), Parigi, Francia

Nel luglio 2013 ha effettuato una *Short Term Scientific Mission*, finanziata nell'ambito del progetto europeo COST- MEDIAN presso il *Commissariat à l'énergie atomique et aux énergies* (CEA) di Parigi, per collaborare con il Dott. Valentin Gherman su tematiche relative all'uso di codici di rilevazione e correzione di errori e cancellazioni (*Erasures and Errors Detection and Correction Codes*) nelle memorie resiste.

Laboratoire d'informatique de Paris 6 - LIP6, Paris, France

Da marzo a giugno 2011 è stato *visiting researcher* presso l'università di Parigi 6 (Laboratoire d'informatique de Paris 6) per collaborare con il Prof. Jean-Claude Bajard allo studio di tecniche per la rilevazione e localizzazione dei guasti sulle strutture aritmetiche con codifiche non convenzionali (*Residue Number System*) per applicazioni crittografiche.

NorthEastern University – Boston (MA), USA

Nel maggio 2005 è stato *visiting researcher* presso la North Eastern University di Boston per collaborare con il Prof. Fabrizio Lombardi su tematiche relative all'affidabilità dei circuiti integrati, ed alla relativa valutazione della probabilità di errore nelle memorie che utilizzano codici a correzione di errore.

7. Seminari su invito

Aprile 2019: partecipa ad un Dagstuhl seminar su "Programmable Network Data Planes".

Novembre 2018: seminario presso UC3M- Universidad Carlos III de Madrid: "FlowBlaze: a framework for programming stateful network functions on FPGA-based SmartNICs".

Settembre 2018: seminario presso Microsoft Research di Cambridge (UK): "FlowBlaze: a framework for programming stateful network functions on FPGA-based SmartNICs".

Marzo 2017: seminario presso il LINC (Laboratory of Information, Networking and Communication Sciences): "stateful programmable data planes".

Marzo 2016: seminario presso INFN- Istituto Nazionale di Fisica Nucleare, Roma: "FPGA based design of a Stateful SDN Switch".

Luglio 2013: seminario presso CEA- Commissariat à l'énergie atomique et aux énergies di Parigi: "Error detection and correction in Content Addressable Memories".

Febbraio 2013: seminario presso UPC- Universitat Politècnica de Catalunya- a Barcellona: "Use of advanced error correction codes for cache memories".

Febbraio 2013: seminario presso UC3M- Universidad Carlos III de Madrid- a Madrid: "Use of high performance programmable hardware for high speed networks".

Gennaio 2013: seminario presso IBM Zurigo: "Use of advanced error correction codes for cache memories".

8. Attività di ricerca

Parole chiave	Descrizione sintetica
Tolleranza ai guasti	L'attività di ricerca riguarda i metodi di progettazione ad alta affidabilità e resistenti ai guasti. In particolare sono stati progettati sistemi per lo spazio come memorie di massa a stato solido e processori ad alta affidabilità che sono stati utilizzati su diversi satelliti (GAIA, satelliti MTG-I). Inoltre sono stati sviluppati diversi metodi per il rilevamento dei guasti e per la protezione dei dispositivi FPGA e dei circuiti aritmetici.
Codici a correzione di errore	Tale attività si è concentrata in tre direzioni: i) sviluppo di metodi per la valutazione dell'affidabilità e dell'integrità dei dati nelle memorie a stato solido protette con codici di correzione di errore; ii) sviluppo di architetture ad alte prestazioni per la codifica e la decodifica di codici di correzione; iii) sviluppo di algoritmi ed architetture tolleranti ai guasti per la codifica e la decodifica di codici di correzione di errore. Tale attività ha portato alla pubblicazione di numerosi articoli su riviste a diffusione internazionale (principalmente IEEE Transactions).
Processamento ad alta velocità di pacchetti della rete internet	L'attività di ricerca consiste nello sviluppo di metodi per il processamento ad alta velocità del traffico sulla rete internet. In particolare sono stati sviluppati diversi algoritmi ed architetture hardware (molti dei quali oggetto di brevetto internazionale) per la classificazione del traffico nei seguenti casi: i) exact matching per switch ethernet; ii) Longest Prefix Matching per router IP; iii) Access Control List per firewall di rete.

9. Indici bibliometrici

Elenco dei prodotti della ricerca:

Prodotto	quantità
Articoli su rivista a diffusione internazionale	61
Pubblicazioni di atti di conferenze	70
Libri	1
Editoriali	6
Brevetti concessi	6
Richieste di brevetti	5

Indici bibliometrici:

Indice	Scopus	Google Scholar
Numero di citazioni	956	1527
h-index	16	22

(Dati estratti il 16/09/2019 dai database Scopus e Google Scholar)

10. Pubblicazioni selezionate per la valutazione di merito

Di seguito sono presentate le pubblicazioni del candidato Salvatore Pontarelli per la valutazione di merito. Si noti che sono stati indicati, per ogni pubblicazione i seguenti indicatori bibliometrici:

GS: numero di citazioni di Google Scholar, consultato al 16/09/2019.

CORE: (A*: top 4%, A: top 14%, B: top 26%)

GII-GRIN: (A++, A+: excellent, top notch conferences, A: very good events, B: events of good quality)

JCR: Incites Journal Citation Report Impact Factor 2017, riportato in <https://jcr.incites.thomsonreuters.com/>

SJR: SCImago Journal Rank, 2017, da Q1 (top) a Q4.

[1] J. Daly, V. Bruschi, L. Linguaglossa, S. Pontarelli, D. Rossi, J. Tollet, E. Torng, A. Yourtchenko “TupleMerge: Fast Software Packet Processing for Online Packet Classification”, *ACM/IEEE Transactions on Networking*, Vol. 27, n. 4 (2019), pp.: 1417-1431. [CORE:A*], [JCR: 3,110], [SJR:Q1], [GS:0].

Questo articolo è uno dei frutti della collaborazione con *Telecom ParisTech*. Mette insieme la parte di processamento software ad alta velocità con gli algoritmi di *packet classification*. Inoltre è uno dei pochi casi in cui le prestazioni dell'algoritmo di classificazione sono state valutate in un contesto applicativo realistico (un software router sviluppato da Cisco). I risultati sono molto significativi, guadagnando in molti casi un ordine di grandezza in termini di numero di pacchetti processati per secondo rispetto allo stato dell'arte (rappresentato da Open vSwitch).

[2] S. Pontarelli, P. Reviriego, M. Mitzenmacher, “EMOMA: Exact Match in One Memory Access”, *IEEE Transactions on Knowledge and Data Engineering*, Vol. 30, n. 11 (2018), pp.: 2120 – 2133. [CORE:A] [JCR: 2,775], [SJR:Q1], [GS:4].

Questo articolo per la prima volta risolve un problema ben noto nella progettazione di dispositivi hardware di rete che utilizzano diversi livelli di memoria. In particolare, viene presentato un metodo che permette di ridurre ad uno il numero di accessi alle memorie esterne durante un'operazione di *lookup* in una tabella di *hash* memorizzata in una memoria esterna.

[3] M. Bonola, G. Bianchi, G. Picierro, S. Pontarelli, M. Monaci, “StreaMon: A data-plane programming abstraction for software-defined stream monitoring”, *IEEE Transactions on Dependable and Secure Computing*, vol. 14, n.6 (2017), pp. 664-678. [CORE:A] [JCR: 4,410], [SJR:Q1], [GS:4]

L'articolo propone un'astrazione programmabile per la realizzazione di funzioni di monitoraggio di rete ad alta velocità. L'astrazione sfrutta una serie di primitive basate su strutture approssimate (Bloom Filters, count-min sketch) che possono essere composte per realizzare funzioni di monitoraggio online garantendo alte prestazioni.

[4] M. Mitzenmacher, P. Reviriego, S. Pontarelli. "OMASS: One Memory Access Set Separation" *IEEE Transactions on Knowledge and Data Engineering* vol. 28, no. 7 (2016): 1940-1943. [CORE:A] [JCR: 2,775], [SJR:Q1], [GS:2]

In molte applicazioni, è necessario identificare a quale insieme appartiene un elemento *x*. Ad esempio, Questo problema è generalmente noto come *set separation*. Questo articolo propone di utilizzare uno schema innovativo basato su una variante dei filtri di Bloom in grado di effettuare la *set separation* utilizzando un unico accesso alla memoria del filtro di Bloom, aumentando così in modo significativo il numero di *query* al secondo ottenibili per questa applicazione rispetto alle soluzioni tradizionali.

[5] S. Pontarelli, M. Ottavi, “Error Detection and Correction in Content Addressable Memories by Using Bloom Filters”, *IEEE Transactions on Computers*, Vol. 62, no. 6, May 2013, pp. 1111–1126. [CORE:A*] [JCR: 3,052], [SJR:Q1], [GS:29]

Questo articolo propone di utilizzare i filtri di Bloom per rilevare errori nelle memorie associative utilizzate nei router ed in alcuni blocchi funzionali dei processori (*Translation lookaside buffers* e *cache*). L'articolo propone una soluzione molto innovativa, essendo la prima volta che i filtri di Bloom sono utilizzati per la rilevazione degli errori. Il lavoro è alla base del progetto di ricerca finanziato da Cisco tramite un *Cisco Research Award*.

[6] S. Pontarelli, G. Bianchi, S. Teofili, “Traffic-aware Design of a High Speed FPGA Network Intrusion Detection System”, *IEEE Transactions on Computers*, vol. 62, no. 11, Nov. 2013, pp. 2322-2334. [CORE:A*] [JCR: 3,052], [SJR:Q1], [GS:44]

Questo lavoro propone un approccio modulare e scalabile nella progettazione di *Network Intrusion Detection System (NIDS)* basati su componenti hardware riprogrammabili (FPGA). Il traffico viene prima classificato e raggruppato in categorie omogenee e poi inoltrato a blocchi hardware di capacità e caratteristiche differenti, ciascuno dei quali supporta una serie di regole adattate alla categoria di traffico specifica. Tale metodo mostra un risparmio di risorse fino all'80% misurato su esperimenti condotti con traffico reale raccolte dalla dorsale di un operatore della rete internet.

[7] G. Levy, S. Pontarelli, P. Reviriego, “Flexible Packet Matching with Single Double Cuckoo Hash”, *IEEE Communications Magazine*, Volume 55, Issue 6, May 2017, pp. 212-217. [CORE: N/A] [JCR: 9,270], [SJR:Q1], [GS:4]

L'articolo presenta per la prima volta un metodo per la realizzazione hardware di *cuckoo hash table* con dimensioni variabili della chiave. Tale applicazione è estremamente utile nei dispositivi di rete, quando è necessario programmare la dimensione della chiave di ricerca (l'insieme dei campi del pacchetto su cui effettuare la ricerca). A differenza delle soluzioni tradizionali, che richiedono di allocare staticamente una quantità memoria definita per ogni dimensione della chiave, la soluzione proposta consente di utilizzare un'unica tabella, evitando l'allocazione statica delle risorse.

[8] D. Barach, L. Linguaglossa, D. Marion, P. Pfister, S. Pontarelli, D. Rossi, “High-Speed Software Data Plane via Vectorized Packet Processing”, *IEEE Communications Magazine*, Volume 56, Issue 12, Dec. 2018, pp. 97-103. [CORE: N/A] [JCR: 9,270], [SJR:Q1], [GS:19]

Questo articolo è uno dei frutti della collaborazione con *Telecom ParisTech*. Mette insieme la parte di processamento software ad alta velocità con gli algoritmi di *packet classification*. Inoltre è uno dei pochi casi in cui l'algoritmo di classificazione è stato inserito in un contesto applicativo realistico (un software router sviluppato da Cisco). I risultati sono molto significativi, guadagnando in molti casi un ordine di grandezza in termini di numero di pacchetti processati per secondo rispetto allo stato dell'arte (rappresentato da Open vSwitch).

[9] S. Pontarelli, P. Reviriego, J.A. Maestro, “Parallel d-Pipeline: A Cuckoo Hashing Implementation for Increased Throughput”, *IEEE Transactions on Computers*, vol. 65 no. 1, 2016, pp. 326-331. [CORE:A*] [JCR: 3,052], [SJR:Q1], [GS:12]

L'articolo presenta un metodo aumentare il throughput ottenibile in una implementazione hardware delle di una *cuckoo hash table*. Il metodo proposto è utilizzabile nelle implementazioni parallele delle tabelle di *hash*. Tali schemi sono normalmente usati nelle implementazioni per ASIC/FPGA, che possono accedere a diverse memorie in parallelo. Usando la tecnica proposta il *throughput* può essere aumentato significativamente e può raggiungere il 60 per cento in molti scenari pratici. L'articolo riporta sia i risultati in termini di prestazioni, sia i risultati dell'implementazione su FPGA dell'algoritmo proposto.

[10] L. Linguaglossa, S. Lange, S. Pontarelli, G. Retvari, D. Rossi, T. Zinner, R. Bifulco, M. Jarschel, G. Bianchi, “Survey of Performance Acceleration Techniques for Network Function Virtualization”, *Proceedings of the IEEE*, March 2019, pp 1-19. [CORE: N/A] [JCR: 9.107], [SJR:Q1], [GS:0]

L'articolo presenta una *survey* delle tecniche per accelerare le funzioni di rete. Il sottoscritto ha contribuito alla sia alla parte relativa alla descrizione delle tecniche di accelerazione software di tipo *kernel bypass*, sia della parte relativa alle tecniche basate su schede di rete programmabili (SmartNIC).

[11] M. Mitzenmacher, S. Pontarelli, P. Reviriego, "Adaptive Cuckoo Filters", in proceedings of the SIAM Twentieth Workshop on Algorithm Engineering and Experiments (ALENEX), 2018. **[CORE A], [GII-GRIN B], [GS:14]**

In questo articolo vengono proposti gli *Adaptive Cuckoo Filter* (ACF), una struttura dati che consente la rappresentazione approssimata di un set di dati in grado di reagire ai falsi positivi, adattandosi per rimuoverli dalla struttura, riducendo in maniera significativa il *false positive rate*. L'articolo descrive diverse implementazioni possibili di ACF, presentando sia un modello teorico per la stima *false positive rate* che diverse simulazioni utilizzando sia set di dati sintetici che tracce reali di traffico dati.

[12] S. Pontarelli, R. Bifulco, M. Bonola, C. Cascone, M. Spaziani, V. Brushi, D. Sanvito, G. Siracusano, A. Capone, M. Honda, F. Huici, G. Bianchi, "FlowBlaze: Stateful Packet Processing in Hardware", USENIX Symposium on Networked Systems Design and Implementation (NSDI 2019). **[CORE B],[GII-GRIN A], [GS:6]**

L'articolo presenta un'astrazione (battezzata *FlowBlaze*) per la realizzazione di funzioni di rete tramite *eXtended Finite State Machines* (XFSM) e la corrispondente architettura hardware che esegue la XFSM direttamente nel *dataplane* dei dispositivi di rete. *FlowBlaze* è in grado di eseguire una vasta gamma di funzioni di rete complesse ed facilita la programmazione delle funzioni di rete nascondendo al programmatore i problemi di implementazione hardware di basso livello. L'implementazione realizzata su di una SmartNIC equipaggiata con un FPGA raggiunge una latenza molto bassa (nell'ordine di pochi microsecondi) ed è in grado di sostenere un *throughput* fino a 40 Gb/s.

11. Organizzazione di convegni di carattere scientifico in Italia o all'estero;

[2015] **General chair:** "IEEE Symposium on Defect and Fault Tolerance in VLSI systems", 2015.

[2014] **Program chair:** IEEE Symposium on Defect and Fault Tolerance in VLSI systems, 2014.

[2013] **General chair:** "2nd Workshop on Manufacturable and Dependable Multicore Architectures at Nanoscale (MEDIAN)".

Membro del Program Committee di:

- IEEE Design Automation and Test Conference in Europe (DATE)
- IEEE International Conference on Advances in Computing and Communications (ICACC)
- IEEE International Conference on Computer Design (ICCD)
- IEEE International On-Line Test Symposium (IOLTS)
- IEEE Online Conference on Green Communications (OnlineGreenComm).
- IEEE Southern Programmable Logic Conference (SPL)
- IEEE Symposium on Defect and Fault Tolerance in VLSI systems (DFTS)
- International Conference on the Future Internet of Things and Cloud (FiCloud)
- International Workshop on FPGAs for Aerospace Applications (FASA)
- Joint Euro-TM/MEDIAN Workshop on Dependable Multicore and Transactional Memory Systems (DMTM)
- Workshop on High Performance and Programmable Networking (HPPN)
- Workshop on Manufacturable and Dependable Multicore Architectures at Nanoscale (MEDIAN)
- IEEE International Conference on High Performance Switching and Routing (HPSR)
- IEEE Conference on Standards for Communications and Networking (CSCN)

12. Partecipazione a congressi in qualità di relatore

[2018] IEEE International Conference on High Performance Switching and Routing, Bucarest, Romania.

[2016] IEEE European Conference on Networks and Communications, Atene, Grecia.

[2015] IEEE Symposium on Defect and Fault Tolerance in VLSI systems 2015, Amherst, MA, USA.

- [2014] IEEE Symposium on Defect and Fault Tolerance in VLSI systems 2014, Amsterdam, Netherlands.
- [2013] IEEE DATE, Design Automation and Test Conference in Europe”, Grenoble, France.
- [2010] IEEE Southern Programmable Logic Conference 2010, Puerto De Galinhas, Brasile.
- [2010] IEEE Field Programmable Logic and Applications 2010, Milano, Italia.
- [2009] IEEE International On-Line Testing Symposium 2009, Sesimbra, Portogallo.
- [2009] IEEE Symposium on Defect and Fault Tolerance in VLSI systems 2009, Chicago, USA.
- [2008] IEEE European Test Symposium 2008, Verbania, Italia.
- [2008] IEEE International On-Line Testing Symposium 2008, Rodi, Grecia.
- [2008] IEEE Symposium on Defect and Fault Tolerance in VLSI systems 2008, Boston, USA.
- [2007] IEEE International On-Line Testing Symposium 2007”, Creta, Grecia.
- [2007] IEEE Symposium on Defect and Fault Tolerance in VLSI systems 2007”, Roma, Italia.
- [2006] IEEE International On-Line Testing Symposium 2006, Como, Italia.
- [2006] IEEE Symposium on Defect and Fault Tolerance in VLSI systems 2006, WA, USA.
- [2005] IEEE Computer Society Annual Symposium on VLSI 2005, Tampa, Florida, USA.
- [2005] IEEE Symposium on Defect and Fault Tolerance in VLSI systems 2005, Monterey, CA, USA.
- [2004] IEEE Instrumentation and Measurement Technology Conference, Como, Italia.
- [2002] IEEE International On-Line Testing Workshop 2002, Isle of Bendor, Francia.

13. Direzione o partecipazione a comitati editoriali di riviste.

- [2016-oggi] **Associate Editor:** *IET Electronics Letters*.
- [2016] **Guest editor:** *IEEE Transactions on Emerging Topics in Computing*. Special section on “Defect and Fault Tolerance in VLSI and Nanotechnology Systems 2016”.
- [2015-oggi] **Associate Editor:** *IEEE Transactions on nanotechnology*.
- [2014] **Guest Editor:** *IEEE Transactions on Computers e IEEE Transactions on Nanotechnology*. Joint Special Section on Defect and Fault Tolerance in VLSI and Nanotechnology Systems.
- [2013] **Guest Editor:** Embedded Hardware Design Journal - Microprocessors and Microsystems, Elsevier. “Special Issue on Manufacturable and Dependable Multi-core Architectures at Nanoscale”.

Revisore per le seguenti riviste: (in ordine alfabetico):

- Elsevier, Computer Networks Journal
- Elsevier, Journal of Electronic Testing: Theory and applications
- Elsevier, Microelectronic Journal
- Elsevier, Microelectronics Reliability
- Elsevier, Integration, the VLSI Journal
- IEEE Access
- IEEE Communication Letters
- IEEE Journal on Selected Areas in Communications
- IEEE Network Magazine
- IEEE Transactions on Circuits and Systems
- IEEE Transactions on Computers
- IEEE Transactions on Dependable and Secure Computing
- IEEE Transactions on Emerging Topics in Computing
- IEEE Transactions on Green Communications and Networking
- IEEE Transactions on Industrial Informatics
- IEEE Transactions on Nanotechnology
- IEEE Transactions on Network and Service Management
- IEEE Transactions on Nuclear Science

- IEEE Transactions on Very Large Scale Integration Systems
- IET Circuits, Devices & Systems
- IET Electronics Letters
- IET Micro & Nano Letters

14. Organizzazione, direzione e coordinamento di gruppi di ricerca nazionali e internazionali, o partecipazione agli stessi.

2009 – oggi

Partecipa alle attività di ricerca e sviluppo hardware per l'unità di ricerca di Roma "Tor Vergata" del CNIT. Le attività di ricerca sono state focalizzate sulla progettazione di architetture hardware ed algoritmi per l'analisi del traffico sulla rete internet. A partire dal 2015, in qualità di responsabile dei task T2.1 e T2.2 del progetto H2020 BeBa e del Work Package WP3 del Progetto H2020 5G-PICTURE ha supervisionato e coordinato il gruppo di lavoro del CNIT sullo sviluppo di dataplane programmabili attualmente composto da 1 dottorando e 5 ricercatori junior.

2001- 2010

Partecipa alle attività di ricerca del gruppo DFT (Defect and Fault Tolerance) dell'università di Roma "Tor Vergata" diretto dal Prof. A. Salsano. Le attività di ricerca si sono concentrate sulla progettazione di sistemi digitali ad alta affidabilità per applicazioni spaziali.

15. Collaborazione con aziende

Salvatore Pontarelli ha collaborato con diverse aziende italiane ed estere (tramite consulenze e contratti conto terzi) per attività di trasferimento tecnologico. Tali collaborazioni, oltre a contribuire a finanziare le proprie attività di ricerca, hanno permesso di introdurre alcune delle soluzioni progettuali proposte in ambito accademico in prodotti ad alta tecnologia (memorie a stato solido per applicazioni spaziali, ASIC per data centers).

(Mellanox Technologies), 2014-oggi.

Dal 2015 il Dott. Salvatore Pontarelli collabora con Mellanox Technologies sullo sviluppo di architetture hardware ed algoritmi per l'analisi, la classificazione e l'istradamento dei pacchetti della rete internet nei dispositivi di rete (switch, router, etc.). In particolare ha partecipato alla progettazione dell'ASIC Spectrum-II (switch con 64 porte a 100 Gb/s) realizzato in tecnologia CMOS a 16nm, nel quale sono stati implementati alcuni dei metodi descritti nei brevetti riportati precedentemente.

(Thales Alenia Space) progetto di CODEC di Reed-Solomon (2015).

Il Dott. Salvatore Pontarelli si è occupato della progettazione e della verifica funzionali dei blocchi hardware per la realizzazione di codici di correzione di errore di tipo Reed Solomon per la protezione di memorie SDRAM e Flash. I codici sviluppati sono stati utilizzati per la protezione delle memorie utilizzate nei satelliti Thales del Meteosat Third Generation (MTG) program.

(Skytechnology S.R.L.) Offloader di protocolli di rete per transazioni finanziarie basati su FPGA (2010)

Nel 2010 il Dott. Pontarelli ha collaborato con Skytechnology S.R.L, società di consulenza del settore ICT, per lo sviluppo su FPGA di un sistema per l'acquisizione e l'elaborazione a bassa latenza delle informazioni provenienti da protocolli di rete per transazioni finanziarie.

(Syderal) PDHU-GAIA (2007)

Nel 2007 il Dott. Pontarelli ha collaborato con Syderal SA, un'impresa svizzera specializzata nello sviluppo di sistemi digitali per satelliti, nello sviluppo del PDHU (Payload Data Handling Unit) da

utilizzare nel satellite GAIA (Global Astrometric Interferometer for Astrophysics) sviluppato dall'Agenzia Spaziale Europea.

(RDLabs s.r.l.) WideBand Tuner (2006)

Il Dott. Pontarelli ha partecipato allo sviluppo del firmware per un ricevitore a banda larga (30 MHz 2 GHz) in grado di rilevare la direzione di provenienza del segnale.

16. Brevetti ed attività di trasferimento tecnologico.

Nel 2018 è socio fondatore della start-up innovativa AXBRYD. La start-up intende commercializzare soluzioni tecnologiche innovative (brevetto [P9]) per il processamento ad alta velocità del traffico di reti internet. E' inoltre coautore dei seguenti brevetti:

(Granted)

[P1] US Patent Grant, 2019-01-01, US10171419B2, "IP route caching with two search stages on prefix length", F. Kravchik, P. Reviriego, S. Pontarelli, A. Kfir, A. Roitshtein, G. Levy.

[P2] US Patent Grant, 2018-12-04 US10148571B2, "Jump on a Match Optimization for Longest Prefix Match using a Binary Search Tree", A. Kfir, P. Reviriego, S. Pontarelli, G. Levy.

[P3] US Patent Grant 2018-09-04, US10068034B2, "Efficient matching of TCAM rules using hash tables in RAM", G. Levy, P. Reviriego, S. Pontarelli.

[P4] US Patent Grant 2018-08-14, US10049126B2, "Cuckoo hashing with selectable hash", G. Levy, P. Reviriego, S. Pontarelli.

[P5] US Patent Grant 2018-05-29, US9984144B2, "Efficient lookup of TCAM-like rules in RAM", G. Levy, S. Pontarelli, P. Reviriego.

[P6] US Patent Grant 2018-02-13, US9892057B2, "Single double cuckoo hash", G. Levy, S. Pontarelli, P. Reviriego.

(Patent applications)

[P7] US Patent Application, 2018-09-27, US20180278525A1, "Field Checking Based Caching of ACL Lookups to Ease ACL Lookup Search", G. Levy, P. Reviriego, S. Pontarelli, A. Kfir.

[P8] US Patent Application, 2018-03-20, US15925815, "Hash Table-Based Mask Length Computation for Longest Prefix Match Caching", G. Levy, A. Kfir, S. Pontarelli, P. Reviriego.

[P9] US Patent Application, 2017-10-12 WO2017175090A1, "Method of handling data packets through a conditional state transition table and apparatus", G. Bianchi, S. Pontarelli, M. Bonola, A. Capone, C. Cascone.

[P10] US Patent Application, 2017-07-30, US15663758A1, "Efficient Caching of TCAM like rules in SRAM", G. Levy, P. Reviriego, A. Kfir, S. Pontarelli.

[P11] US Patent Application, 2017-02-23, US20170053012A1, "High-performance bloom filter array", G. Levy, P. Reviriego, S. Pontarelli, E. Kravchik.

17. Lista completa delle pubblicazioni

a. Libri (Editor)

[B1] Marco Ottavi, Dimitris Gizopoulos, Salvatore Pontarelli, “Dependable Multicore Architectures at Nanoscale”, Springer-Verlag, ISBN: 3319544217.

b. Capitoli di libro

[Bc1] “Dependability Solutions”, Salvatore Pontarelli, Pedro Reviriego, Juan Antonio Maestro, in “Dependable Multicore Architectures at Nanoscale”, Springer-Verlag, ISBN: 3319544217.

[Bc2] “Applications in Electronics Pervading Industry, Environment and Society”, Alessandro De Gloria (Ed.), Lecture Notes in Electrical Engineering, Volume 289, ISBN: 978-3319043692, “Chapter 13: A Reconfigurable Functional Unit for Modular Operations”, G.C. Cardarilli, L. Di Nunzio, R. Fazzolari, S. Pontarelli, M. Re.

[Bc3] “Nanoelectronic Device Applications Handbook”, CRC Press, ISBN: 978-1466565234, “Chapter 17: Modeling Magnetic Quantum-Dot Cellular Automata by HDL”, M. Ottavi, S. Pontarelli, A. Salsano, F. Lombardi.

[Bc4] “Trustworthy Internet”, Luca Salgarelli, Giuseppe Bianchi, Nicola Blefari-Melazzi,(Eds.) Springer, ISBN 978-8847018174. “Chapter 2: IDS Rules adaptation for packets pre-filtering in gbps line rates”, S. Teofili, E. Nobile, S. Pontarelli, G. Bianchi.

[Bc5] “Emerging Nanotechnologies: Test, Defect Tolerance and Reliability”, Springer, ISBN: 9780387747460. ”Chapter 8: QCA Circuits for Robust Coplanar Crossing”, S. Bhanja, M. Ottavi, S. Pontarelli, and F. Lombardi.

c. Riviste

[J1] M. Mitzenmacher ; S. Pontarelli, P. Reviriego, “Adaptive Cuckoo Filters”, *ACM Journal of Experimental Algorithmics*, (in press).

[J2] Daly, V. Bruschi, L. Linguaglossa, S. Pontarelli, D. Rossi, J. Tollet, E. Torng, A. Yourtchenko “TupleMerge: Fast Software Packet Processing for Online Packet Classification”, *ACM/IEEE Transactions on Networking*, Vol. 27, n. 4 (2019), pp.: 1417-1431.

[J3] Reviriego, A. Ullah and S. Pontarelli, "PR-TCAM: Efficient TCAM Emulation on Xilinx FPGAs Using Partial Reconfiguration," *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*. doi: 10.1109/TVLSI.2019.2903980.

[J4] Reviriego, S. Pontarelli, Gil Levy, “CuCoTrack: Cuckoo filter based connection tracking”, *Information Processing Letters, Elsevier*, vol. 147, July 2019, pp. 55-60.

[J5] Linguaglossa, S. Lange, S. Pontarelli, G. Retvari, D. Rossi, T. Zinner, R. Bifulco, M. Jarschel, G. Bianchi, “Survey of Performance Acceleration Techniques for Network Function Virtualization”, *Proceedings of the IEEE*, March 2019, pp 1-19.

[J6] L. Linguaglossa, D. Rossi, S. Pontarelli, D. Barach, D. Marjon, Pierre Pfister “High-Speed Data Plane and Network Functions Virtualization by Vectorizing Packet Processing”, *Computer Networks, Elsevier*, vol. 149, 11 February 2019, pp 187-199.

- [J7] D. Barach, L. Linguaglossa, D. Marion, P. Pfister, S. Pontarelli, D. Rossi, "High-Speed Software Data Plane via Vectorized Packet Processing", *IEEE Communications Magazine*, vol. 56, no. 12, pp. 97-103, December 2018.
- [J8] P. Reviriego, S. Pontarelli, A. Ullah, "Error Detection and Correction in SRAM Emulated TCAMs", *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol. 27, no. 2, pp. 486-490, Feb. 2019.
- [J9] S. Pontarelli, M. Bonola, G. Bianchi "Smashing OpenFlow's "atomic" actions: programmable data plane packet manipulation in hardware", *International Journal of Network Management, John Wiley & Sons*, vol. 29, no. 1, pp. 1-20, Jan. 2019.
- [J10] S. Pontarelli, P. Reviriego, M. Mitzenmacher, "EMOMA: Exact Match in One Memory Access", *IEEE Transactions on Knowledge and Data Engineering*, vol. 30, n. 11, pp. 2120-2133, 2018.
- [J11] A Ullah, P Reviriego, S Pontarelli, JA Maestro "Majority Voting-based Reduced Precision Redundancy Adders", *IEEE Transactions on Device and Materials Reliability*, vol. 18, Issue 1, pp. 122-124, 2018.
- [J12] C. Cascone, R. Bifulco, S. Pontarelli, A. Capone, "Relaxing state-access constraints in stateful programmable data planes", *ACM SIGCOMM Computer Communication Review*, vol. 48, no. 1, pp 3-9, 2018.
- [J13] G. Levy, S. Pontarelli, P. Reviriego, "Flexible Packet Matching with Single Double Cuckoo Hash", *IEEE Communications Magazine*, vol. 55, Issue 6, May 2017, pp. 212-217.
- [J14] P. Reviriego, S. Pontarelli, J.A. Maestro, "A Method to Protect Cuckoo Filters from Soft Errors", *Microelectronic Reliability*, vol. 72, May 2017, pp. 85-89.
- [J15] M. Bonola, G. Bianchi, G. Picierro, S. Pontarelli, M. Monaci, "StreaMon: a data-plane programming abstraction for Software-defined Stream Monitoring", *IEEE Transactions on Dependable and Secure Computing*, Volume 14, Issue 6, November-December 2017, pp. 664-678.
- [J16] S. Pontarelli, P. Reviriego, "Cuckoo Cache a Technique to Improve Flow Monitoring Throughput", *IEEE Internet Computing*, vol. 20, Issue 4, July/August 2016, pp. 46-53.
- [J17] M. Mitzenmacher, P. Reviriego, S. Pontarelli, "OMASS: One Memory Access Set Separation", *IEEE Transactions on Knowledge and Data Engineering*, vol. 28, Issue 7, July 2016, pp. 1940-1943.
- [J18] S. Pontarelli, P. Reviriego, J.A. Maestro, "Parallel d-Pipeline: A Cuckoo Hashing Implementation for Increased Throughput", *IEEE Transactions on Computers*, vol. 65 no. 1, 2016, pp. 326-331.
- [J19] S. Pontarelli, P. Reviriego, J.A. Maestro, "Improving Counting Bloom Filter Performance with Fingerprints", *Information Processing Letters*, vol. 116, Issue 4, April 2016, pp. 304-309.
- [J20] Y. Yang, J. Mathew, M. Ottavi, S. Pontarelli, D. K. Pradhan, "Complementary Resistive Switch Based Arithmetic Logic Implementations Using Material Implication", *IEEE Transactions on nanotechnology*, vol. 15, Issue 1, January 2016, pp. 94-108.
- [J21] Y. Yang, J. Mathew, M. Ottavi, S. Pontarelli, D. K. Pradhan, "Novel Complementary Resistive Switch Crossbar Memory Write and Read Schemes", *IEEE Transactions on nanotechnology*, vol. 14, no. 2, 2015, pp. 346-357.
- [J22] G. Li, J. Mathew, R. Shafik, D. K. Pradhan, M. Ottavi and S. Pontarelli, "Lifetime Reliability Analysis of Complementary Resistive Switches under Threshold and Doping Interface Speed Variations", *IEEE Transactions on nanotechnology*, vol. 14, no. 1, 2015, pp. 130-139.

- [J23] L.-J. Saiz-Adalid, P. Reviriego, P. Gil, S. Pontarelli and J.A. Maestro “MCU Tolerance in SRAMs through Low Redundancy Triple Adjacent Error Correction”, *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol.23, no.10, Oct. 2015, pp. 2332-2336.
- [J24] M. Ottavi, S. Pontarelli, D. Gizopoulos, C. Bolchini, M. Michael, L. Anghel, M. Tahoori, A. Paschalis, P. Reviriego, O. Bringmann, V. Izosimov, H. Manhaeve, C. Strydis, and S. Hamdioui. “Dependable Multicore Architectures at Nanoscale and their Applications: the view from Europe”, *IEEE Design & Test*, vol.32, no.2, pp.17-28, April 2015.
- [J25] S. Pontarelli, P. Reviriego, M. Ottavi, J.A. Maestro, “Low Delay Single Symbol Error Correction Codes based on Reed Solomon Codes”, *IEEE Transactions on Computers*, vol. 64, no. 5, pp.1497-1501, 2015.
- [J26] P. Reviriego, S. Pontarelli, A. Evans, J.A. Maestro, “A Class of SEC-DED-DAEC codes derived from Orthogonal Latin Square Codes”, *IEEE Transaction on VLSI systems*, vol. 23, no. 5, pp. 968-972, 2015.
- [J27] P. Reviriego, S. Pontarelli, J.A. Maestro and M. Ottavi, “Synergetic Use of Bloom Filters for Error Detection and Correction”, *IEEE Transaction on VLSI systems*, vol. 23, no.3, pp. 584-587, 2015.
- [J28] S. Pontarelli, P. Reviriego, J.A. Maestro “Efficient Flow Sampling with Back-annotated Cuckoo Hashing”, *IEEE Communications Letters*, vol.18, no.10, pp.1695-1698, Oct. 2014.
- [J29] P. Reviriego, S. Pontarelli, M. Ottavi, J.A. Maestro “FastTag: A Technique to Protect Cache Tags against Soft Errors”, *IEEE Transactions on Device and Materials Reliability*, vol.14, no.3, pp.935-937, Sept. 2014.
- [J30] P. Reviriego, J. Martinez, S. Pontarelli, J.A. Maestro, “A Method to Design SEC-DED-DAEC codes with Optimized Decoding”, *IEEE Transactions on Device and Materials Reliability*, vol.14, no.3, pp.884-889, Sept. 2014.
- [J31] K. Namba, S. Pontarelli, M. Ottavi, F. Lombardi, “A single-bit and double-adjacent error correcting parallel decoder for multiple-bit error correcting BCH codes”, *IEEE Transactions on Device and Materials Reliability*, vol. 14, no. 2, pp. 664-671, 2014.
- [J32] P. Reviriego, A. Sánchez-Macián, S. Pontarelli, and J.A. Maestro, "A Method to Extend Orthogonal Latin Square Codes", *IEEE Transactions on VLSI*, vol. 22, no. 7, pp. 1635-1639, 2014.
- [J33] P. Reviriego, S. Pontarelli, J.A. Maestro, “Energy Efficient Exact Matching for Flow Identification with Cuckoo Affinity Hashing”, *IEEE Communications Letters*, vol. 18, no. 5, pp. 885-888, 2014.
- [J34] Y. Lu, F. Lombardi, S. Pontarelli, M. Ottavi, “Design and Analysis of Single Event Tolerant Slave Latches for Enhanced Scan Delay Testing”, *IEEE Transactions on Device and Materials Reliability*, vol. 14, no. 1, pp. 333-343, 2014.
- [J35] S. Pontarelli, P. Reviriego, M. Mitzenmacher, “Improving the Performance of Invertible Bloom Lookup Tables”, *Information Processing Letters*, vol. 114, no. 4, pp. 185-191, 2014.
- [J36] P. Reviriego, S. Pontarelli, J.A. Maestro and M. Ottavi, “Efficient Implementation of Error Correction Codes in Hash Tables”, *Microelectronics Reliability*, vol. 54, no. 1, pp. 338-340, 2014.
- [J37] P. Reviriego, S. Pontarelli, J.A. Maestro, “Optimized Decoding of Odd-Weight Single Error Correction Double Error Detection (SEC-DED) Codes with 64 Bits”, *IET Electronics Letters*, vol. 49, no. 25, pp. 1617-1618, 2013.
- [J38] P. Reviriego, S. Pontarelli, J.A. Maestro and M. Ottavi, “Concurrent Error Detection for Orthogonal Latin Squares Encoders and Syndrome Computation”, *IEEE Transaction on VLSI*, vol. 21, no. 12, pp. 2334-2338, Dec 2013.

- [J39] S. Pontarelli, G. Bianchi, S. Teofili, "Traffic-aware Design of a High Speed FPGA Network Intrusion Detection System", *IEEE Transactions on Computers*, vol. 62, no. 11, pp. 2322-2334, Nov. 2013.
- [J40] P. Reviriego, S. Pontarelli, J.A. Maestro and M. Ottavi, "Reducing the Cost of Single Error Correction with Parity Sharing", *IEEE Transactions on Device and Materials Reliability*, vol. 13, no. 3, pages 420-422, Sep. 2013.
- [J41] P. Reviriego, O. Ruano, M. F. Flanagan, S. Pontarelli and J. A. Maestro, "An Efficient Technique to Protect Serial Shift Registers against Soft Errors," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 60, no.8, pp. 512-516, Aug. 2013.
- [J42] S. Pontarelli, P. Reviriego, C.J. Bleakley, J.A Maestro, "Low Complexity Concurrent Error Detection for Complex Multiplication", *IEEE Transactions on Computers*, Vol. 62, no. 9, pp. 1899-1903, Sep. 2013.
- [J43] P. Reviriego, S. Pontarelli, J.A. Maestro and M. Ottavi, "Reducing the Cost of Implementing Error Correction Codes in Content Addressable Memories", *IEEE Transactions on Circuits and Systems II: Express Briefs*, Vol. 60, no. 7, pp.432-436, Jul. 2013.
- [J44] P. Reviriego, S. Pontarelli, J.A. Maestro, M. Ottavi "A Method to Construct Low Delay Single Error Correction (SEC) Codes for Protecting Data Bits Only", *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, Vol. 32, no.3, pp. 479-483, 2013.
- [J45] S. Pontarelli, M. Ottavi, "Error Detection and Correction in Content Addressable Memories by Using Bloom Filters", *IEEE Transactions on Computers*, Vol. 62, no. 6, pp. 1111–1126, 2013.
- [J46] P. Reviriego, S. Pontarelli, J.A. Maestro and M. Ottavi, "Low Cost Single Error Correction Multiple Adjacent Error Correction Codes", *IET Electronics Letters*, Vol. 48 no. 23, pp. 1470-1472, Nov. 2012.
- [J47] P. Reviriego, S. Pontarelli, C.J. Bleakley, J.A. Maestro "Area efficient concurrent error detection and correction for parallel filters", *IET Electronics Letters*, Vol. 48, no. 20, p.1258–1260, Set 2012.
- [J48] S. Pontarelli, A. Salsano "On the use of Karatsuba formula to detect errors in $GF((2^n)^2)$ multipliers", *IET Circuits, Devices & Systems*, Vol. 6, no. 3, pp. 152-158, 2012.
- [J49] S. Pontarelli, G. C. Cardarilli, M.Re, A. Salsano "Optimized implementation of RNS FIR Filters based on FPGAs", *Springer Journal of Signal Processing Systems*, Vol. 67, no. 3, pp 201-212, June 2012.
- [J50] M. Ottavi, S. Pontarelli, E.P. DeBenedictis, A. Salsano, S. Murphy, P. Kogge, F. Lombardi "Partially reversible pipelined QCA circuits: combining low power with high throughput", *IEEE Transactions on nanotechnology*, vol. 10, no 6, pp. 1383-1393, 2011.
- [J51] S. Pontarelli, M. Ottavi, V. Vankamamidi, G.C. Cardarilli, F. Lombardi, A. Salsano, "Analysis and Evaluations of Reliability of Reconfigurable FPGAs", *Journal of Electronic Testing: Theory and Applications*, Vol. 24, no. 1-3, June 2008.
- [J52] M. Violante, L. Sterpone, A. Manuzzato, S. Gerardin, P. Rech, M. Bagatin, A. Paccagnella, C. Andreani, G. Gorini, A. Pietropaolo, G. Cardarilli, S. Pontarelli, C. Frost, "A new hardware/software platform and a new 1/E neutron source for soft error studies: testing FPGAs at the ISIS facility", *IEEE Transaction on Nuclear Science*, Volume 54, Issue 4, Part 2, pp. 1184 – 1189 Aug. 2007.
- [J53] G.C. Cardarilli, S. Pontarelli, M. Re, A. Salsano, "Concurrent Error Detection in Reed Solomon Encoders and Decoders", *IEEE Transactions on Very Large Scale Integration Systems*, Volume 15 n. 7, pp. 842 – 846, July 2007.

- [J54] G.C. Cardarilli, S. Pontarelli, M. Re, A. Salsano, "Analysis of Errors and Erasures in Parity Sharing RS Codecs", *IEEE Transactions on Computers*, Vol. 56, No. 12, pp. 1721-1726, Dec. 2007.
- [J55] S. Bhanja, M. Ottavi, S. Pontarelli, F. Lombardi, "QCA Circuits for Robust Coplanar Crossing", *Journal of Electronic Testing: Theory and Applications*, vol. 23, no. 2-3, pp. 193-210 June 2007.
- [J56] Ottavi, M.; Pontarelli, S.; Vankamamidi, V.; Salsano, A.; Lombardi, F.; "QCA memory with parallel read/serial write: design and analysis", *IEE Circuits, Devices and Systems*, Volume 153, Issue 3, pp. 199 – 206, June 2006.
- [J57] G.C. Cardarilli, M. Ottavi, S. Pontarelli, M. Re, A. Salsano, "Fault localization, error correction, and graceful degradation in radix 2 signed digit-based adders", *IEEE Transactions on Computers*, Volume 55, no. 5, pp. 534 – 540, May 2006
- [J58] G.C. Cardarilli, M. Ottavi, S. Pontarelli, M. Re, A. Salsano, "A Fault Tolerant Solid State Mass Memory For Space Applications", *IEEE Transaction on Aerospace and Electronic System*, vol. 41, n. 4, October 2005.
- [J59] G.C. Cardarilli, F. Lombardi, M. Ottavi, S. Pontarelli, M. Re, A. Salsano, "Comparative Evaluation of Designs for Reliable Memory Systems", *Journal of Electronic Testing: Theory and Applications*, August 2005.
- [J60] G.C. Cardarilli, A. Leandri, P. Marinucci, M. Ottavi, S. Pontarelli, M. Re, A. Salsano, "Design of a Fault Tolerant Solid State Mass Memory", *IEEE Transactions on Reliability*, vol. 52, n. 4, pp. 476-491, December 2003.
- [J61] S. Bertazzoni, G.C. Cardarilli, D. Di Giovenale, M. Ottavi, S. Pontarelli, A. Salsano, P. Marinucci, "Sistemi elettronici tolleranti ai guasti per applicazioni spaziali", *Alta Frequenza Rivista di Elettronica*, vol. 13, n. 3, June 2001.

d. Editoriali

- [E1] M. Ottavi, D. Gizopoulos, S. Pontarelli, "Preface", in "Dependable Multicore Architectures at Nanoscale", Springer-Verlag, ISBN: 3319544217.
- [E2] C. Bolchini, S. Kundu, S. Pontarelli, "Guest Editors' Introduction: TC/TNANO Joint Special Section on Defect and Fault Tolerance in VLSI and Nanotechnology Systems", published in *IEEE Transactions on nanotechnology*, vol. 15, no. 2, pp. 130-139, 2016 and in *IEEE Transactions on Computers*, vol. 65 no. 3, pp. 677-678.
- [E3] S. Kundu, S. Pontarelli, (eds), *Proceedings of the 18th IEEE Symposium on Defect and Fault Tolerance in VLSI and Nanotechnology Systems*, IEEE Computer Society, Amherst, Massachusetts, US, Oct. 12-14, 2015.
- [E4] S. Hamdioui, S. Kundu, M. Ottavi, S. Pontarelli, (eds), *Proceedings of the 17th IEEE Symposium on Defect and Fault Tolerance in VLSI and Nanotechnology Systems*, IEEE Computer Society, Amsterdam, The Netherlands, Oct. 1-3, 2014.
- [E5] L. Anghel, C. Bolchini, S. Pontarelli, "Special Section on Manufacturable and Dependable Multi-core Architectures at Nanoscale (MEDIAN)", *Microprocessors and Microsystems: Embedded Hardware Design*, Elsevier, Vol. 38, no. 6, Aug. 2014.
- [E6] C. Bolchini, S. Pontarelli, L. Anghel, D. Gizopoulos, *Proceedings of the 2nd Workshop on Manufacturable and Dependable Multicore Architectures at Nanoscale (MEDIAN'13)*, TIMA (ISBN: 978-2-11129175-1), Avignon, France, May 30-31, 2013.

e. Atti di conferenze

- [C1] S. Pontarelli, R. Bifulco, M. Bonola, C. Cascone, M. Spaziani, V. Brushi, D. Sanvito, G. Siracusano, A. Capone, M. Honda, F. Huici, G. Bianchi, “FlowBlaze: Stateful Packet Processing in Hardware”, USENIX Symposium on Networked Systems Design and Implementation (NSDI’19).
- [C2] D. Barach, L. Linguaglossa, D. Marion, P. Pfister, S. Pontarelli, D. Rossi, J. Tollet, “Batched packet processing for high-speed software data plane functions”, IEEE Conference on Computer Communications Poster and Demo (INFOCOM’18).
- [C3] S. Pontarelli, G. Bianchi, M. Welzl “A Programmable Hardware Calendar for High Resolution Pacing”, IEEE Int. Conference on High Performance Switching and Routing 2018, (HPSR’18).
- [C4] P. Reviriego, S. Pontarelli, A. Ullah, G. Bianchi, A. Zahir, “Multiple Hash Matching Units (MHMU): An Algorithmic Ternary Content Addressable Memory Design for Field Programmable Gate Arrays”, IEEE International Conference on High Performance Switching and Routing 2018, (HPSR’18).
- [C5] M. Mitzenmacher, S. Pontarelli, P. Reviriego, “Adaptive Cuckoo Filters”, in proceedings of the SIAM Twentieth Workshop on Algorithm Engineering and Experiments (ALENEX), 2018.
- [C6] M. Bonola, R. Bifulco, L. Petrucci, S. Pontarelli, A. Tulumello, G. Bianchi, “Implementing advanced network functions for datacenters with stateful programmable data planes,” IEEE Workshop on Local and Metropolitan Area Networks (LANMAN), 2017.
- [C7] S. Pontarelli, V. Bruschi, M. Bonola, G. Bianchi, “On offloading programmable SDN controller tasks to the embedded microcontroller of stateful SDN dataplanes”, IEEE Network Softwarization (NetSoft), 2017.
- [C8] S. Pontarelli, V. Bruschi, M. Bonola, G. Bianchi, “Smashing SDN" built-in" actions: Programmable data plane packet manipulation in hardware”, IEEE Network Softwarization (NetSoft), 2017.
- [C9] L. Petrucci, M. Bonola, S. Pontarelli, G. Bianchi, R. Bifulco, “Demo: Implementing iptables using a programmable stateful data plane abstraction”, Proceedings of the 2017 Symposium on SDN Research, (SOSR’17).
- [C10] P. Reviriego, S. Pontarelli, G. Levy, “Improving Energy Efficiency of Ethernet Switching with Modular Cuckoo Hashing”, Proceedings of the IEEE Online Conference on Green Communications, 2015 (IEEE Online GreenComm’15).
- [C11] P. Reviriego, S. Pontarelli, J. A. Maestro, M. Ottavi, “A Method to Protect Bloom Filters from Soft Errors”, Proceedings of the 18th IEEE International Symposium on Defect and Fault Tolerance in VLSI and Nanotechnology Systems (DFT’15), October 2015.
- [C12] S. Pontarelli, M. Bonola, G. Bianchi, A. Capone, C. Cascone, “Stateful Openflow: Hardware Proof of Concept”, Proceedings of the 16th IEEE International Conference on High Performance Switching and Routing (HPSR’15), Budapest, July 1-4, 2015.
- [C13] Y. Yang, J. Mathew, M. Ottavi, S. Pontarelli, D. Pradhan, “2T2M Memristor Based TCAM Cell for Low Power Applications”, Proceedings of the 10th International Conference on Design & Technology of Integrated Systems in Nanoscale Era (DTIS’15).
- [C14] S. Pagliarini S. Pontarelli J. Mathew D.K. Pradhan, I. Sourdis D. A. Khan A. Malek S. Tzilis, G. Smaragdos C. Strydis, “Efficient online testing of an array of reconfigurable RISC Processors”, *Manufacturable and Dependable Multicore Architectures at Nanoscale (MEDIAN’15)*, TIMA (ISBN: 978-2-11129175-1), Grenoble, France, 13 March 2015.

- [C15] G. Bianchi, M. Bonola, M. Monaci, G. Picierro, S. Pontarelli, "StreaMon: a Software-defined Monitoring Platform", ITC 2014 - Energy-efficiency, Programmability, Flexibility and Integration in Future Network Architectures (EPFI) Workshop.
- [C16] S. Yegin, B. Karsli, O. Ergin, M. Ottavi, S. Pontarelli, P. Reviriego "Improving the Reliability of Skewed Caches through ECC based Hashes", Workshop on Manufacturable and Dependable Multicore Architectures at Nanoscale 2014.
- [C17] Y. Yang, J. Mathew, D. K. Pradhan, M. Ottavi, S. Pontarelli, "Complementary Resistive Switch Based Stateful Logic Operations Using Material Implication", in Proceedings of the IEEE Design and Testing in Europe (DATE'14), Dresden, March 2014,
- [C18] S. Campitelli, M. Ottavi, S. Pontarelli, A. Marchioro, D. Felici, F. Lombardi, "F-DICE: A Multiple Node Upset Tolerant FlipFlop for Highly Radioactive Environments," in Proceedings of the 16th IEEE International Symposium on Defect and Fault Tolerance in VLSI and Nanotechnology Systems (DFT'13), October 2013.
- [C19] S. Pontarelli, M. Ottavi, A. Evans, S.J. Wen, "Error Detection in Ternary CAMs Using Bloom Filters", in proc. of the IEEE Design and Testing in Europe, Grenoble, France, Mar. 2013 (DATE'13).
- [C20] P. Albicocco, G.C. Cardarilli, S. Pontarelli, M. Re, "Karatsuba Implementation of FIR Filters", in proc. of the IEEE Asilomar Conference on Signals, Systems, and Computers, 2012.
- [C21] Y. Lu, F. Lombardi, S. Pontarelli, M. Ottavi, "On the Design of Two Single Event Tolerant Slave Latches for Scan Delay Testing," in Proceedings of the 15th IEEE International Symposium on Defect and Fault Tolerance in VLSI and Nanotechnology Systems (DFT'12), October 2012.
- [C22] C. Bolchini et al. "High-reliability Fault Tolerant Digital Systems in Nanometric Technologies: Characterization and Design Methodologies", in Proceedings of the 15th IEEE International Symposium on Defect and Fault Tolerance in VLSI Systems (DFT'12), October 2012.
- [C23] A. Ruotolo, M. Ottavi, S. Pontarelli, F. Lombardi "A Novel Write-Scheme For Data Integrity In Memristor-Based Crossbar Memories", in Proceedings of the 8th IEEE/ACM International Symposium on Nanoscale Architectures (NANOARCH '12)
- [C24] N. Rajderkar, M. Ottavi, S. Pontarelli, J. Han, F. Lombardi, "Resistive Open Defects in Gates at Nanoscale CMOS", in Proceedings of the 14th IEEE International Symposium on Defect and Fault Tolerance in VLSI Systems (DFT'11), October 2011.
- [C25] M. Ottavi, S. Pontarelli, A. Salsano, F. Lombardi "Modeling Magnetic Quantum-dot Cellular Automata by HDL", in proc. of the IEEE 11th Int. Conference on Nanotechnology (NANO 2011).
- [C26] G.C. Cardarilli, L. Di Nunzio, R. Fazzolari, S. Pontarelli, M. Re, A. Salsano, "Implementation of the AES Algorithm Using a Reconfigurable Functional Unit", in Proceedings of the 10th IEEE International Symposium on Signals, Circuits and Systems (ISSCS), 2011.
- [C27] S. Pontarelli, S. Teofili, G. Bianchi "Hardware-based "on-the-fly" per-flow Scan Detector prefilter", Traffic Monitoring and Analysis - Third International Workshop, TMA 2011, Vienna, Austria, April 27, 2011. Proceedings. Lecture Notes in Computer Science Springer 2011.
- [C28] S. Pontarelli, S. Teofili "Anti-evasion technique for Packet Based Pre- filtering for Network Intrusion Detection Systems", Traffic Monitoring and Analysis - Third International Workshop, TMA 2011, Vienna, Austria, April 27, 2011. Proceedings. Lecture Notes in Computer Science Springer 2011.
- [C29] S. Pontarelli, M. Ottavi, A. Salsano, K. Zarrineh, "Feedback Based Droop Mitigation", in Proceedings of IEEE Design and Testing in Europe, Grenoble, France, Mar. 2011.

- [C30] S. Teofili, E. Nobile, S. Pontarelli, G. Bianchi “Snort pre-filter for data-reduced intrusion detection: hardware design issues and trade-offs”, International Tyrrhenian Workshop on Digital Communications (ITWDC’10), Ponza, Italy, September 6-8, 2010.
- [C31] A. N. Hariharan, S. Pontarelli, M. Ottavi, F. Lombardi, “Modeling Open Defects in Nanometric Scale CMOS”, in Proceedings of the 13th IEEE International Symposium on Defect and Fault Tolerance in VLSI Systems (DFT’10), October 2010
- [C32] S. Pontarelli, M. Ottavi, A. Salsano, “Error Detection and Correction in Content Addressable Memories”, in Proceedings of the 13th IEEE International Symposium on Defect and Fault Tolerance in VLSI Systems (DFT’10), October 2010
- [C33] S. Pontarelli, C. Greco, E. Nobile, S. Teofili, G. Bianchi “Exploiting FPGA Dynamic Reconfiguration for Hardware based Network Intrusion Detection Systems”, 20th International Conference on Field Programmable Logic and Applications (FPL’10), Milano, ITALY
- [C34] M. Ottavi, S. Pontarelli, E. De Benedictis, A. Salsano, P. Kogge, F. Lombardi, “High Throughput and Low Power Dissipation in QCA Pipelines using Bennett Clocking”, in Proceedings of the 6th IEEE/ACM International Symposium on Nanoscale Architectures (NANOARCH ’10)
- [C35] C. Greco, E. Nobile, S. Pontarelli, S. Teofili, “An FPGA based architecture for Stateful inspection of multiple TCP connections”, in Proceedings of the 6th IEEE Southern Programmable Logic Conference (SPL’10)
- [C36] S. Pontarelli, G.C. Cardarilli, M. Re, A. Salsano, “Error correction codes for SEU and SEFI tolerant memory systems”, in Proceedings of the 12th IEEE International Symposium on Defect and Fault Tolerance in VLSI Systems (DFT’09), October 2009
- [C37] S. Pontarelli, G.C. Cardarilli, M. Re, A. Salsano, “Error detection in addition chain based ECC point multiplication”, in Proceedings of the 15th IEEE International On-Line Testing Symposium (IOLTS 2009), June 2009.
- [C38] S. Pontarelli, G.C. Cardarilli, M. Re, A. Salsano, “A Novel Error Detection And Correction Technique for RNS based FIR Filter”, in Proceedings of the 11st IEEE International Symposium on Defect and Fault Tolerance in VLSI Systems (DFT’08), October 2008
- [C39] G.C. Cardarilli, S. Pontarelli, M. Re, A. Salsano “On the use of Signed Digit Arithmetic for the new 6-Inputs LUT based FPGAs”, in Proceedings of the 15th IEEE International Conference on Electronics, Circuits and Systems (ICECS 2008), Malta, 31 Aug.- 3 Sep. 2008
- [C40] S. Pontarelli, G.C. Cardarilli, M. Re, A. Salsano “Totally fault tolerant RNS based FIR filter”, in Proceedings of the 14th IEEE International On-Line Testing Symposium (IOLTS 2008), July 2008.
- [C41] S. Pontarelli, L. Sterpone, G.C. Cardarilli, M. Re, M. SonzaReorda, A. Salsano, M. Violante “Optimization of Self Checking FIR filters by means of Fault Injection Analysis”, in Proc. of the 22nd IEEE Int. Symposium on Defect and Fault Tolerance in VLSI Systems (DFT’07), Sep. 2007
- [C42] S. Pontarelli, L. Sterpone, G.C. Cardarilli, M. Re, M. SonzaReorda, A. Salsano, M. Violante “Self Checking Circuit Optimization by means of Fault Injection Analysis: A Case Study on Reed Solomon Decoders”, in Proceedings of the 13th IEEE International On-Line Testing Symposium (IOLTS 2007), July 2007.
- [C43] M. Violante, M. SonzaReorda, L. Sterpone, A. Manuzzato, S. Gerardin, P. Rech, M. Bagatin, A. Paccagnella, C. Andreani, G. Gorini, A. Pietropaolo, G. Cardarilli, A. Salsano, S. Pontarelli, C. Frost, “A new hardware/software platform for the soft-error sensitivity evaluation of FPGA devices”, in Proceedings of the IEEE Latin-America Test Workshop 2007, Cuzco, Perù
- [C44] M. Ottavi, L. Schiano, S. Pontarelli, V. Vankamamidi, F. Lombardi “Timing Verification of QCA Memory Architectures”, Nanotechnology, 2006. IEEE-NANO 2006. Sixth IEEE Conference on Vol. 1, 17-20 June 2006, pp.: 391 - 394

- [C45] M. Violante, L. Sterpone, A. Manuzzato, S. Gerardin, P. Rech, M. Bagatin, A. Paccagnella, C. Andreani, A. Pietropaolo, G. Cardarilli, S. Pontarelli, C. Frost, "A new hardware/software platform and a new I/E neutron source for soft error studies: testing FPGAs at the ISIS facility" 2006 Radiation Effects on Components and Systems Workshop.
- [C46] M. Ottavi, S. Pontarelli, A. Leandri, A. Salsano, "Design and Evaluation of an Hardware On-Line Program-Flow Checker For Embedded Microcontrollers", in Proceedings of the IEEE International Symposium on Defect and Fault Tolerance in VLSI Systems, DFT 2006, Washington DC, USA, Oct. 2006.
- [C47] S. Pontarelli, M. Ottavi, V. Vankamamidi, A. Salsano, F. Lombardi, "Reliability Evaluation of repairable/reconfigurable FPGAs", in Proceedings of the IEEE International Symposium on Defect and Fault Tolerance in VLSI Systems, DFT 2006, Washington DC, USA, Oct. 2006.
- [C48] G. Cardarilli, M. Ottavi, S. Pontarelli, M. Re, A. Salsano, "Localization of faults in Radix-n Signed Digit Adders", in Proceedings of the 12th IEEE International On-Line Testing Symposium (IOLTS 2006), July 2006.
- [C49] G.C. Cardarilli, S. Pontarelli, M. Re, A. Salsano, "Concurrent Error Detection in Reed Solomon Decoders", in Proceedings of the IEEE International Symposium on Circuits and Systems ISCAS 2006, Kos, Greece, May 2006.
- [C50] G.C. Cardarilli, S. Pontarelli, M. Re, A. Salsano, "Fault Tolerant Design of Signed Digit Based Filters", in Proceedings of the IEEE International Symposium on Circuits and Systems ISCAS 2006, Kos, Greece, May 2006.
- [C51] S. Bhanja, M. Ottavi, F. Lombardi, S. Pontarelli, "Novel Designs for Thermally Robust Coplanar Crossing in QCA", in Proceedings of the Proceedings of IEEE DATE, Design Automation and Test Conference in Europe, Munich, Germany, March 2006.
- [C52] G.C. Cardarilli, S. Pontarelli, M. Re, A. Salsano, "FPGA oriented design of parity sharing RS codecs", in Proceedings of the IEEE International Symposium on Defect and Fault Tolerance in VLSI Systems, DFT 2005, Monterey, CA, USA., October 2005.
- [C53] G.C. Cardarilli, S. Pontarelli, M. Re, A. Salsano, "A Self Checking Reed Solomon Encoder: Design and Analysis", in Proceedings of the IEEE International Symposium on Defect and Fault Tolerance in VLSI Systems, DFT 2005, Monterey, CA, USA., October 2005.
- [C54] M. Ottavi, S. Pontarelli, V. Vankamamidi, F. Lombardi, "Novel memory designs for QCA implementation", in Proceedings of the 5th IEEE Conference on Nanotechnology, July 11-15, 2005
- [C55] M. Ottavi, S. Pontarelli, L. Schiano, G.C. Cardarilli, F. Lombardi, "Evaluating the Data Integrity of Memory Systems by Configurable Markov Models", in Proceedings of the IEEE computer society annual symposium on VLSI, May 2005.
- [C56] G.C. Cardarilli, S. Pontarelli, M. Re, A. Salsano, "Design of a Self Checking Reed Solomon Encoder", in Proceedings of the 11th IEEE International On-Line Testing Symposium (IOLTS 2005).
- [C57] M. Ottavi, S. Pontarelli, L. Schiano, G.C. Cardarilli, F. Lombardi, "Evaluating the Data Integrity of Memory Systems by Configurable Markov Models", in Proceedings of the IEEE computer society annual symposium on VLSI, May 2005.
- [C58] M. Ottavi, S. Pontarelli, V. Vankamamidi, F. Lombardi, A. Salsano, "Design of a QCA Memory with Parallel Read/Serial Write", in Proceedings of the IEEE computer society annual symposium on VLSI, May 2005.
- [C59] L. Schiano, M. Ottavi, F. Lombardi, S. Pontarelli, A. Salsano, "On the Analysis of Reed Solomon Coding for Resilience to Transient/Permanent Faults in Highly Reliable Memories", in Proceedings of the IEEE Design Automation and Test Conference in Europe (DATE), Munich, Germany, March 2005.

- [C60] G. Cardarilli, M. Ottavi, S. Pontarelli, M. Re, A. Salsano, "Data Integrity Evaluations of Reed Solomon Codes for Storage Systems", in Proceedings of the IEEE International Symposium on Defect and Fault Tolerance in VLSI Systems, DFT 2004, Cannes, France, October 2004.
- [C61] G.C. Cardarilli, M. Ottavi, S. Pontarelli, M. Re, A. Salsano, "A Signed Digit Adder with Error Correction and Graceful Degradation Capabilities", in Proceedings of the 10th IEEE International On-Line Testing Symposium (IOLTS 2004), Funchal, Madeira Island, Portugal, July 2004.
- [C62] G. Cardarilli, M. Ottavi, S. Pontarelli, M. Re, A. Salsano, "A Fault-Tolerant Solid State Mass Memory for Highly Reliable Instrumentation", in Proceedings of the IEEE Instrumentation and Measurement Technology Conference, (IMTC 2004), Como, Italy, May 2004.
- [C63] G.C. Cardarilli, M. Ottavi, S. Pontarelli, M. Re, A. Salsano, "Error Detection in Signed Digit Arithmetic circuit with parity checker", in Proceedings of the IEEE International Symposium on Defect and Fault Tolerance in VLSI Systems, (DFT 2003), Cambridge, MA, USA, November 2003.
- [C64] G.C. Cardarilli, M. Ottavi, S. Pontarelli, M. Re, A. Salsano, "A Fault Tolerant Hardware Based File System Manager for Solid State Mass Memory", in Proceedings of the IEEE International Symposium on Circuits and Systems, (ISCAS 2003), May 2003.
- [C65] S. Pontarelli, G.C. Cardarilli, A. Leandri, M. Ottavi, M. Re, A. Salsano, "A Self-Checking Cell Logic Block for Fault Tolerant FPGAs", in Proceedings of the IEEE International Symposium on Circuits and Systems, (ISCAS 2002), May 2002.
- [C66] G.C. Cardarilli, F. Kaddour, A. Leandri, M. Ottavi, S. Pontarelli, R. Velazco, "Bit flip injection in processor-based architectures: a case study", in Proceedings of the 8th IEEE International On-Line Testing Workshop, (IOLTW 2002), Hotel Delos - Isle of Bendor, France, July 2002.
- [C67] S. Pontarelli, G.C. Cardarilli, A. Malvoni, M. Ottavi, M. Re, A. Salsano, "System-on-Chip Oriented Fault-Tolerant Sequential Systems Implementation Methodology", in Proceedings of the IEEE International Symposium on Defect and Fault Tolerance in VLSI Systems, (DFT 2001), October 2001.
- [C68] M. Ottavi, G.C. Cardarilli, D. Cellitti, S. Pontarelli, M. Re, A. Salsano, "Design of a Totally Self Checking Signature Analysis Checker for Finite State Machines", in Proceedings of the IEEE International Symposium on Defect and Fault Tolerance in VLSI Systems, (DFT 2001), October 2001.
- [C69] G.C. Cardarilli, A. Malvoni, M. Ottavi, S. Pontarelli, M. Re, A. Salsano, "System-on-Chip Implementation and Fault-Coverage Estimation of a Fault-Tolerant State Machine", in Proceedings of the 7th International Conference on Information Systems Analysis and Synthesis (ISAS 2001) Orlando, USA, July 2001.
- [C70] M. Ottavi, G.C. Cardarilli, P. Marinucci, S. Pontarelli, M. Re, A. Salsano, "Development of a dynamic routing system for a fault tolerant solid state mass memory", in Proceedings of the IEEE International Symposium on Circuits and Systems, ISCAS 2001, Sydney, Australia, May 2001.