

INFORMAZIONI PERSONALI **Marcello Barbirotta**

ISTRUZIONE E FORMAZIONE

(Febbraio 2024 – In Corso)

Assegnista di Ricerca Presso il Dipartimento DIET

Sapienza Università di Roma

(Ottobre 2020 – Giugno 2024)

DOTTORATO DI RICERCA - PHD IN INFORMATION AND COMMUNICATIONS TECHNOLOGIES (ICT)

Ingegneria Elettronica: Fault Tolerant Computer Architecture

Voto: Ottimo con Lode

Titolo Tesi: "Enhancing Fault Tolerance in Interleaved Multi-Threading RISC-V Processors: A Microarchitectural Approach"

(Ottobre 2017 – Maggio 2020)

CORSO DI LAUREA MAGISTRALE IN INGEGNERIA ELETTRONICA

Sapienza Università di Roma

Facoltà di Ingegneria dell'Informazione, Informatica e Statistica

LM-29 - Laurea Magistrale in Ingegneria elettronica

● Esami conseguiti - Voto:

- COMUNICAZIONI ELETTRICHE II	30 Lode
- CIRCUITI A TEMPO DISCRETO	26
- COMPONENTI ELETTRONICI INTEGRATI	28
- MATEMATICA DISCRETA	30
- ARCHITETTURE DEI SISTEMI INTEGRATI	30
- SISTEMI ELETTRONICI A RADIOFREQUENZA	28
- ELEMENTI DI COMUNICAZIONE TECNICO SCIENTIFICA	idoneo
- DIGITAL SYSTEM PROGRAMMING	30
- MICROONDE	29
- TEORIA DEI CIRCUITI ELETTRONICI	30
- LABORATORIO MULTIDISCIPLINARE DI ELETTRONICA	30
- EMBEDDED SYSTEMS	27
- COMPONENTI E CIRCUITI PER L'ELETTRONICA DI POTENZA	30
- DISTRIBUTED COMPUTING FOR CIRCUITS AND SYSTEMS	30

- Età al conseguimento del titolo: 24
Durata ufficiale del corso di studi: 2 anni
Votazione finale: 110 Lode /110
Data di conseguimento: 28/05/2020

(Settembre 2014 - Ottobre 2017)

CORSO DI LAUREA TRIENNALE IN INGEGNERIA ELETTRONICA

Università degli Studi 'Roma Tre'

Dipartimento di Ingegneria

L-8 - Laurea in Ingegneria dell'informazione

- Esami conseguiti - Voto:

- FONDAMENTI DI INFORMATICA	29
- GEOMETRIA	27
- ANALISI MATEMATICA 1	28
- FISICA TECNICA	30
- CHIMICA TRIENNALE	20
- ANALISI MATEMATICA II	23
- LINGUA INGLESE	idoneo
- FISICA I	28
- FISICA II	28
- TEORIA DEI SEGNALE	26
- FONDAMENTI DI ELETTROTECNICA	26
- FONDAMENTI DI AUTOMATICA	31
- ELETTRONICA I	24
- CAMPI ELETTROMAGNETICI I	26
- STRUMENTAZIONE BIOMEDICA	30
- ELETTRONICA II	24
- FOTONICA	27
- CAMPI ELETTROMAGNETICI II	30
- TRASMISSIONI NUMERICHE	30
- CIRCUITI TRIENNALE	31
- ELETTRONICA DEI SISTEMI DIGITALI	28
- MICROELETTRONICA	30
- TIROCINIO	

- Età al conseguimento del titolo: 21
Durata ufficiale del corso di studi: 3 anni
Votazione finale: 110/110
Data di conseguimento: 24/10/2017

(Novembre 2009 - Ottobre 2016)

CORSO DI STUDI VECCHIO ORDINAMENTO IN FLAUTO TRAVERSO

Conservatorio di Musica Licinio Refice - Frosinone
Diploma di Conservatorio in Flauto Traverso, Diploma Accademico di Secondo livello

- Età al conseguimento del titolo: 20
Durata ufficiale del corso di studi: 7 anni
Data di conseguimento: 15/10/2016

ESPERIENZA PROFESSIONALE

(Maggio 2018 – Novembre 2019)

Ingegnere Elettronico

Tirocinio e Stage - Eurolink Systems <https://eurolinksystems.com/> - Roma (Italy)

- Dal 2018 – in attività: Lavoro sul progetto Leopard, dispositivo UGV; riprogrammazione del Sistema di controllo.
- Dal 2019 – in attività: Lavoro sul progetto Bumblebee-Beluga, dispositivo UAV; progettazione Hardware e Software (Ambiente Visual Studio c#) del Payload.

Attività o settore Progettazione sistemistica Hardware e Software

(Novembre 2019 – Luglio 2020)

Ingegnere Elettronico

Lavoro Part-Time - Eurolink Systems <https://eurolinksystems.com/> - Roma (Italy)

- Lavoro su progetto Beluga, dispositivo UAV; progettazione ed integrazione elettronica interna al Drone. Progettazione e programmazione Payload. Progettazione ed integrazione centro di comando e controllo GCS.
- Lavoro su progetti di Mobilità Elettrica, progettazione costruzione ed integrazione colonnine di ricarica per veicoli elettrici.

Attività o settore Progettazione sistemistica Hardware e Software

(Febbraio 2023 – Agosto 2023)

Visiting Research

Full Time - Visiting Researcher presso Barcelona Supercomputing Center (BSC) – Barcellona (Spain)

- Attività di ricerca dal titolo: "Analisi ed Implementazione di tecniche di Fault Tolerance su acceleratori vettoriali per High Performance Computing". Lavoro di ricerca sulla architettura vettoriale "Vitruvius+", parte del progetto europeo "European Processor Initiative" (<https://www.european-processor-initiative.eu/>)

Attività o settore Fault Tolerant Computer Architecture

COMPETENZE PERSONALI

Lingua madre Italiano

Altre lingue

	COMPRESIONE		PARLATO		PRODUZIONE SCRITTA
	Ascolto	Lettura	Interazione	Produzione orale	
Inglese	B2	B2	B2	B2	B1
Spagnolo	B2	B2	B2	B2	B2

Competenze informatiche

programmazione a basso livello;

- linguaggio Bash
- C, C++
- Ambiente Linux
- HDL (VHDL, Verilog, System Verilog)

Utilizzo di Software di programmazione quali:

- Matlab, Simulink
- Eclipse
- Visual Studio.

Altre competenze

Ampie conoscenze relative ai temi più importanti dell'ingegneria Elettronica; progettazione Analogica e Digitale. Utilizzo di software quali:

- Spice
- P-sim
- Altium Designer, KiCad PCB
- AWR
- Modelsim / Questasim
- Vivado.

ULTERIORI INFORMAZIONI

Pubblicazioni scientifiche

[1] M. Barbirotta, A. Mastrandrea, F. Menichelli, F. Vigli, L. Blasi, A. Cheikh, S. Sordillo, F. Di Gennaro, and M. Olivieri, "Fault resilience analysis of a risc-v microprocessor design through a dedicated uvm environment," in 2020 IEEE International Symposium on Defect and Fault Tolerance in VLSI and Nanotechnology Systems (DFT). IEEE, 2020, pp. 1–6. [Online]. Available: <https://ieeexplore.ieee.org/abstract/document/9250871>

[2] M. Barbirotta, A. Cheikh, A. Mastrandrea, F. Menichelli, F. Vigli, and M. Olivieri, "A fault tolerant soft-core obtained from an interleaved-multi-threading risc-v microprocessor design," in 2021 IEEE International Symposium on Defect and Fault Tolerance in VLSI and Nanotechnology Systems (DFT). IEEE, 2021, pp. 1–4. [Online]. Available: <https://ieeexplore.ieee.org/abstract/document/9568368>

[3] M. Barbirotta, A. Cheikh, A. Mastrandrea, F. Menichelli, and M. Olivieri, "Analysis of a fault tolerant edge-computing microarchitecture exploiting vector acceleration," in 2022 17th Conference on Ph. D Research in Microelectronics and Electronics (PRIME). IEEE, 2022, pp. 237–240. [Online]. Available: <https://ieeexplore.ieee.org/abstract/document/9816771>

[4] M. Barbirotta, A. Cheikh, A. Mastrandrea, F. Menichelli, M. Ottavi, and M. Olivieri, "Evaluation of dynamic triple modular redundancy in an interleaved-multi-threading risc-v core," Journal of Low Power Electronics and Applications, vol. 13, no. 1, 2023. [Online]. Available: <https://www.mdpi.com/2079-9268/13/1/2>

[5] M. Barbirotta, A. Mastrandrea, A. Cheikh, F. Menichelli, and M. Olivieri, "Improving set fault resilience by exploiting buffered dmr microarchitecture," in Annual Meeting of the Italian Electronics Society. Springer Nature Switzerland Cham, 2022, pp. 233–238. [Online]. Available: https://link.springer.com/chapter/10.1007/978-3-031-26066-7_36

- [6] M. Barbirotta, A. Cheikh, A. Mastrandrea, F. Menichelli, and M. Olivieri, "Design and evaluation of buffered triple modular redundancy in interleaved-multi-threading processors," IEEE Access, vol. 10, pp. 126 074–126 088, 2022. [Online]. Available: <https://ieeexplore.ieee.org/abstract/document/9968000>
- [7] M. Barbirotta, A. Cheikh, A. Mastrandrea, F. Menichelli, M. Angioli, S. Jamili, and M. Olivieri, "Fault-tolerant hardware acceleration for high-performance edge-computing nodes," Electronics, vol. 12, no. 17, 2023. [Online]. Available: <https://www.mdpi.com/2079-9292/12/17/3574>
- [8] M. Barbirotta, F. Menichelli, A. Mastrandrea, A. Cheikh, S. Jamili, M. Angioli, and M. Olivieri, "Homogeneous tightly-coupled dual core lock-step with no checkpointing redundancy," in Proceedings of SIE 2023, C. Ciofi and E. Limiti, Eds. Cham: Springer Nature Switzerland, 2024, pp. 363–368. [Online]. Available: <https://doi.org/10.1007/978-3-031-48711-844>
- [9] M. Barbirotta, F. Menichelli, A. Mastrandrea, A. Cheikh, M. Angioli, S. Jamili, and M. Olivieri, "Heterogeneous tightly-coupled dual core architecture against single event effects," in Applications in Electronics Pervading Industry, Environment and Society, F. Bellotti, M. D. Grammatikakis, A. Mansour, M. Ruo Roch, R. Seepold, A. Solanas, and R. Berta, Eds. Cham: Springer Nature Switzerland, 2024, pp. 15–21. [Online]. Available: https://doi.org/10.1007/978-3-031-48121-5_2
- [10] M. Barbirotta, M. Angioli, A. Mastrandrea, A. Cheikh, S. Jamili, F. Menichelli, and M. Olivieri, "Single event transient reliability analysis on a fault-tolerant risc-v microprocessor design," in Applications in Electronics Pervading Industry, Environment and Society, F. Bellotti, M. D. Grammatikakis, A. Mansour, M. Ruo Roch, R. Seepold, A. Solanas, and R. Berta, Eds. Cham: Springer Nature Switzerland, 2024, pp. 42–48. [Online]. Available: https://doi.org/10.1007/978-3-031-48121-5_6
- [11] A. Rosato, F. Succetti, M. Barbirotta, and M. Panella, "Admm consensus for deep lstm networks," in 2020 International Joint Conference on Neural Networks (IJCNN). IEEE, 2020, pp. 1–8. [Online]. Available: <https://ieeexplore.ieee.org/abstract/document/9207512>
- [12] S. Casalnuovo, A. Buzzin, A. Mastrandrea, I. Mazzetta, M. Barbirotta, L. Iannascoli, A. Nascetti, G. de Cesare, D. Puglisi, and D. Caputo, "3d-printed face mask with integrated sensors as protective and monitoring tool," in AISEM Annual Conference on Sensors and Microsystems. Springer Nature Switzerland Cham, 2022, pp. 40–45. [Online]. Available: https://link.springer.com/chapter/10.1007/978-3-031-25706-3_7
- [13] S. Casalnuovo, A. Buzzin, M. Barbirotta, A. Mastrandrea, D. Puglisi, G. de Cesare, and D. Caputo, "Measurements of exhaled co2 through a novel telemedicine tool," in Proceedings of SIE 2023, C. Ciofi and E. Limiti, Eds. Cham: Springer Nature Switzerland, 2024, pp. 396–401. [Online]. Available: https://doi.org/10.1007/978-3-031-48711-8_482
- [14] S. Jamili, A. Cheikh, A. Mastrandrea, M. Barbirotta, F. Menichelli, M. Angioli, and M. Olivieri, "Implementation of dynamic acceleration unit exchange on a risc-v soft-processor," in International Conference on Applications in Electronics Pervading Industry, Environment and Society. Springer Nature Switzerland Cham, 2022, pp. 300–306. [Online]. Available: https://link.springer.com/chapter/10.1007/978-3-031-30333-3_40
- [15] M. Angioli, M. Barbirotta, A. Cheikh, A. Mastrandrea, F. Menichelli, S. Jamili, and M. Olivieri, "Contextual bandits algorithms for reconfigurable hardware accelerators," in International Conference on Applications in Electronics Pervading Industry, Environment and Society. Springer Nature Switzerland Cham, 2022, pp. 149–154. [Online]. Available: https://link.springer.com/chapter/10.1007/978-3-031-30333-3_19
- [16] M. Angioli, M. Barbirotta, A. Mastrandrea, S. Jamili, and M. Olivieri, "Automatic hardware accelerators reconfiguration through linearucb algorithms on a risc-v processor," in 2023 18th Conference on Ph. D Research in Microelectronics and Electronics (PRIME). IEEE, 2023, pp. 169–172. [Online]. Available: <https://ieeexplore.ieee.org/abstract/document/10161944>
- [17] S. Jamili, A. Mastrandrea, A. Cheikh, M. Barbirotta, F. Menichelli, M. Angioli, and M. Olivieri, "A universal hardware emulator for verification ips on fpga: A novel and low-cost approach," in Applications in Electronics Pervading Industry, Environment and Society, F. Bellotti, M. D.

Grammatikakis, A. Mansour, M. Ruo Roch, R. Seepold, A. Solanas, and R. Berta, Eds. Cham: Springer Nature Switzerland, 2024, pp. 36–41. [Online]. Available: https://doi.org/10.1007/978-3-031-48121-5_5

[18] F. Vigli, M. Barbirotta, A. Cheikh, F. Menichelli, A. Mastrandrea, and M. Olivieri, "A risc-v fault-tolerant soft-processor based on full/partial heterogeneous dual-core protection," IEEE Access, vol. 12, pp. 30 495–30 506, 2024.[Online]. Available: <https://ieeexplore.ieee.org/abstract/document/10438461>

[19] M. Barbirotta, F. Minervini, C. R. Morales, A. Cristal, O. Unsal, and M. Olivieri, "Enhancing fault tolerance in high-performance computing: A real hardware case study on a risc-v vector processing unit," TechRxiv preprint, Mar. 2024. [Online]. Available: <http://dx.doi.org/10.36227/techrxiv.171177404.45560143/v1>

[20] M. Angioli, M. Barbirotta, A. Cheikh, A. Mastrandrea, F. Menichelli, S. Jamili, and M. Olivieri, "Design, implementation and evaluation of a new variable latency integer division scheme," IEEE Transactions on Computers, vol. 73, no. 7, pp. 1767–1779, 2024.[Online]. Available: <https://ieeexplore.ieee.org/abstract/document/10494681>

[21] M. Angioli, S. Jamili, M. Barbirotta, A. Cheikh, A. Mastrandrea, F. Menichelli, A. Rosato, and M. Olivieri, "Aeneashdc: An automatic framework for deploying hyperdimensional computing models on fpgas," TechRxiv preprint, May 2024. [Online]. Available: <http://dx.doi.org/10.36227/techrxiv.171656291.17399753/v1>

[22] M. Angioli, M. Barbirotta, A. Cheikh, A. Mastrandrea, and M. Olivieri, "Exploring variable latency dividers in vector hardware accelerators," in 2024 19th Conference on Ph.D Research in Microelectronics and Electronics (PRIME), 2024, pp. 1–4.[Online]. Available: <https://ieeexplore.ieee.org/abstract/document/10559734>

[23] M. Barbirotta, F. Menichelli, A. Cheikh, A. Mastrandrea, M. Angioli, and M. Olivieri, "Dynamic triple modular redundancy in interleaved hardware threads: An alternative solution to lockstep multi-cores for fault-tolerant systems," IEEE Access, vol. 12, pp. 95 720–95 735, 2024.[Online]. Available: <https://ieeexplore.ieee.org/abstract/document/10589631>

Dati personali

Autorizzo il trattamento dei miei dati personali ai sensi del Decreto Legislativo 30 giugno 2003, n. 196 "Codice in materia di protezione dei dati personali.

DATA

08/08/2024