



# Marco Angioli

## ISTRUZIONE E FORMAZIONE

---

[ 01/11/2022 – Attuale ]

**Dottorato in Tecnologie dell'Informazione e delle Comunicazioni (ICT),  
Curriculum: Ingegneria Elettronica**

*Sapienza Università di Roma*

[ 09/2019 – 15/07/2022 ]

**Laurea Magistrale in Ingegneria Elettronica**

*Sapienza Università di Roma*

**Voto finale:** 110/110L

**Tesi:** Analisi ed implementazione di algoritmi Contextual Bandits su processori RISC-V dotati di accelerazione vettoriale riconfigurabile

[ 09/2016 – 10/12/2019 ]

**Laurea Triennale in Ingegneria Elettronica**

*Sapienza Università di Roma*

**Indirizzo:** Italia

**Voto finale:** 100/110

**Tesi:** Stato dell'arte nella computazione neuromorfica (neuromorphic computing)

## COMPETENZE LINGUISTICHE

---

**Lingua madre:** Italiano

**Altre lingue:**

**Inglese**

**ASCOLTO B2 LETTURA B2 SCRITTURA B2**

**PRODUZIONE ORALE B1 INTERAZIONE ORALE B1**

## COMPETENZE DIGITALI

---

**Linguaggi di programmazione**

Programmazione VHDL | Programmazione C++ | Programmazione Bash | Matlab | Programmazione in C | Programmazione Python

**Software**

Padronanza del Pacchetto Office (Word Excel PowerPoint ecc) | ModelSim | Fusion Compiler | Vivado | Matlab e Simulink | Autocad

**Altre competenze**

Machine Learning | AI and Deep Neural Networks | DIGILENT ZYBO | Embedded Linux (Petalinux, Buildroot, Yocto), SoC (FPGA) | Programmazione FPGA | Reinforcement Learning | Conoscenza del Data Mining e capacità di analisi di Classificazione, Clustering o Regressione | Utilizzo del browser | Elaborazione delle informazioni

**Sistemi Operativi**

Risoluzione dei problemi | Unix Linux | Windows

## PROGETTI

---

### **Design VHDL di un'unità FMA (Fused Multiply Add) ad 8 bit**

Progetto sviluppato durante il corso Digital Integrated System Architectures della Laurea Magistrale in Ingegneria Elettronica. Design dell'unità in VHDL, sintesi su Vivado, valutazione delle performance ed ottimizzazioni.

### **Implementazione della funzione di Motion Detection sulla board Zybo Z7-20 ed ottimizzazione tramite accelerazione hardware**

Progetto svolto durante il corso Digital System Programming della Laurea Magistrale in Ingegneria Elettronica. Utilizzo dell'evaluation board Zybo Z7-20 e della telecamera esterna Pcam 5C per la realizzazione di una funzione di motion detection ad alte performance grazie all'accelerazione hardware.

### **Manutenzione predittiva tramite reti neurali ricorrenti**

Progetto svolto durante il corso di Machine Learning for Signal Processing della Laurea Magistrale in Ingegneria Elettronica. Utilizzo di reti neurali ricorrenti su Python per la predizione di possibili malfunzionamenti delle turbine degli aerei. Utilizzo di LSTM, Bi-LSTM e GRU.

### **Manutenzione predittiva sui motori dei treni**

Progetto sviluppato durante il corso di Computational Intelligence della Laurea Magistrale in Ingegneria Elettronica. Realizzazione di una rete che, a partire dall'analisi di campioni di pressione raccolti dai compressori dei treni, permette di prevedere guasti o possibili condizioni fallimentari del motore stesso. Utilizzo di un classificatore SVM con kernel RBF ed algoritmo di ottimizzazione genetico.

### **Valutazione del grado rotazionale di cifre scritte a mano tramite rete neurale convolutiva**

Progetto svolto durante il corso di Circuiti e algoritmi per il Machine Learning della Laurea Magistrale in Ingegneria Elettronica. Utilizzo di una rete neurale convolutiva per la risoluzione di un problema di regressione mirato alla valutazione del grado rotazionale delle cifre scritte a mano contenute nel dataset MNIST.

## PUBBLICAZIONI

---

[ 2022 ] **Contextual Bandits Algorithms for Reconfigurable Hardware Accelerators**

**Riferimento:** Accepted at ApplePies, Genova, Italy, 26-27 september 2022, published by Springer, indexed in Scopus

**Authors:** Marco Angioli, Marcello Barbirotta, Abdallah Cheikh, Antonio Mastrandrea, Francesco Menichelli, Saeid Jamili, and Mauro Olivieri

**Abstract:** Reconfigurable processing cores for IoT and edge computing applications are emerging topics to calibrate costs, energy consumption and area occupation with performance and reliability on Commercial Off the Shelf (COTS) devices. This work analyzes how to take advantage of Machine Learning to potentially automate the reconfiguration process of an Hardware accelerator inside the Klessydra Vector Coprocessor Unit (VCU) [1][2][3], choosing the best configuration according to the workload. The problem is modeled with a contextual bandits approach using the Linear UCB algorithms and validated with offline Python simulations.

[ 2022 ]

### **Implementation of Dynamic Acceleration Unit Exchange on a RISC-V Soft-Processor**

**Riferimento:** Accepted at ApplePies, Genova, Italy, 26-27 september 2022, published by Springer, indexed in Scopus

**Authors:** Saeid Jamili, Abdallah Cheikh, Antonio Mastrandrea, Marcello Barbirotta, Francesco Menichelli, Marco Angioli, Mauro Olivieri

**Abstract:** Reconfigurable computing, also known as adaptive computing, exploits the reconfigurability of reprogrammable logic devices like FPGAs to perform runtime hardware reconfigurations, enabling the system to better adapt to the underlying application. By using reconfigurable computing, parts of the logic implemented on an FPGA can be dynamically changed according to the task demands during runtime. The underlying hardware can be changed to trade off performance/power or can be modified to perform functional reconfiguration, reprogramming the behavior of a functional unit. By exploiting this flexibility, we can significantly scale the performance and power efficiency of a system. We present a dynamic acceleration unit exchange on a RISC-V soft-processor, based on the open-source Klessydra-T13 RISC-V core. We demonstrate reconfiguration for functional versatility or for improving the hardware accelerator performance, providing, as a case study, an example of how a deep neural network like VGG16 can be accelerated by using runtime reconfiguration techniques.

---

*Autorizzo il trattamento dei miei dati personali presenti nel CV ai sensi dell'art. 13 d. lgs. 30 giugno 2003 n. 196 - "Codice in materia di protezione dei dati personali". Il sottoscritto dichiara di essere consapevole che il presente curriculum vitae sarà pubblicato sul sito istituzionale dell'Ateneo, nella Sezione "Amministrazione trasparente", nelle modalità e per la durata prevista dal d.lgs. n. 33/2013, art. 15.*