

**CURRICULUM SCIENTIFICO E DIDATTICO
DOTT. PIETRO MONSURRO'**

Ai fini della pubblicazione

FORMAZIONE E STUDI

- Gennaio 2002 Laurea in Ingegneria Elettronica con votazione di 110/110 e lode
Università degli Studi di Roma “La Sapienza”
Tesi di Laurea in Elettronica Applicata, svolta presso la ST
Microelectronics di Catania, dal titolo: “Analisi e simulazione del read
path di chip EEPROM in tecnologia CMOS 0.18µm”
- Luglio 2004 Laurea Specialistica in Ingegneria Elettronica con votazione di
110/110 e lode, con Dignità di Pubblicazione
Università degli Studi di Roma “La Sapienza”
Tesi di Laurea in Elettronica Applicata dal titolo: “Analisi e progetto
di convertitori AD “pipeline” in tecnologia CMOS”
- Giugno 2005 – Sett. 2005 Contratto con l’Università di Paderborn (Germania) per ricerca su
convertitori AD ad alta velocità.
- Aprile 2006 Abilitazione alla professione di Ingegnere.
- Set. 2004 – Feb. 2008 Dottorato di Ricerca in Ingegneria Elettronica
Università degli Studi di Roma “La Sapienza”
Tesi di Dottorato dal titolo: “Metodologie di progetto di circuiti
integrati mixed-signal per l’elaborazione del segnale a R.F.”
- Genn. 2008 – Marzo 2008 Collaborazione all’attività didattica e di ricerca del Dipartimento di
Ingegneria Elettronica dell’Università degli Studi di Roma “La
Sapienza”
- Maggio 2008 – Lug. 2008 Collaborazione all’attività didattica e di ricerca del Dipartimento di
Ingegneria Elettronica dell’Università degli Studi di Roma “La
Sapienza”
- Nov. 2008 – Giu. 2010 Assegnista di ricerca presso il Dipartimento di Ingegneria Elettronica
dell’Università degli Studi di Roma “La Sapienza”.
- Lug. 2010 – Giugno 2012 Assegnista di ricerca presso il Dipartimento di Informatica
dell’Università degli Studi di Roma “La Sapienza”.
- Agosto – Settembre 2010 Ricercatore in visita alla Norges teknisk-naturvitenskapelige
universitet (NTNU) di Trondheim (Norvegia).
- Marzo 2013 – Feb. 2018 Assegnista di ricerca presso il Dipartimento di Ingegneria Informatica,
Elettronica, e delle Telecomunicazioni dell’Università di Roma
“Sapienza”.
- Dic. 2013 – Marzo 2014 Contratto con l’Università di Paderborn (Germania) per ricerca su
oscillatori a microonde.

CONOSCENZE LINGUISTICHE

Inglese: Ottimo

STAGE, CONGRESSI E CORSI DI FORMAZIONE

Maggio 2005	Partecipazione a ISCAS '05, International Symposium on Circuits and Systems, Kobe, Japan.
Luglio 2005	Scuola Nazionale di Elettronica per Dottorandi sulle nanotecnologie, presso la ST Microelectronics di Catania.
Settembre 2005	Partecipazione al seminario sul flusso di progetto Cadence e le tecnologie BiCMOS SiGe presso la IHP di Francoforte sull'Oder, Germania.
Giugno – Sett. 2005	Contratto di ricerca presso il Dipartimento di Elettronica ad Alta Frequenza dell'Università di Paderborn in Westfalia, Germania.
Marzo 2006	Partecipazione a GEMIC '06, German Microwave Conference, Karlsruhe, Germany.
Luglio 2006	Scuola Nazionale di Elettronica per Dottorandi su fotonica ed optoelettronica, presso l'Università di Benevento.
Luglio 2007	Scuola Nazionale di Elettronica per Dottorandi sulle Digital Radio, tenuto dal gruppo TARGET (Top Amplifier Research Group in a European Team) a Lerici, Genova.
Luglio 2007	Scuola su High Speed Data Converters presso la Scuola Politecnica Federale di Losanna (EPFL).
Maggio 2008	Partecipazione a ISCAS '08, International Symposium on Circuits and Systems, Seattle, USA.
Agosto 2009	Scuola su Practical Aspects in Mixed-Signal IC presso la Scuola Politecnica Federale di Losanna (EPFL).
Giugno 2011	Partecipazione a IWADC 2011, International workshop on ADC modeling, testing and data converter analysis and design, Orvieto, Italia.
Agosto 2011	Partecipazione a ECCTD 2011, European Conference on Circuit Theory and Design, Linkoping, Svezia.
Giugno 2014	Partecipazione a MIXDES 2014, Lublino, Polonia.
Giugno 2014	Partecipazione a SPIE 2014, Montreal, Canada.

Marzo 2015	Partecipazione a GTC 2015, GPU Technology Conference, San Diego, USA.
Giugno 2016	Partecipazione a MIXDES 2016, Lodz, Polonia
Giugno 2016	Partecipazione a SPIE 2016, Edimburgo, Regno Unito
Settembre 2016	Partecipazione a GMEE 2016, Benevento, Italia
Maggio 2017	Partecipazione a I2MTC 2017, Torino, Italia
Settembre 2017	Partecipazione a ECCTD 2017, Catania, Italia
Settembre 2017	Partecipazione a GMEE 2017, Modena, Italia
Settembre 2018	Partecipazione a IMEKO World Congress 2018, Belfast, Regno Unito

ESPERIENZE DIDATTICHE

CORSI IN AFFIDAMENTO

A.A. 2008-2009	Professore a contratto per il corso di Laboratorio Interdisciplinare I, Corso di Laurea in Ingegneria Elettronica, Università di Roma “Sapienza”.
A.A. 2010-2011	Professore a contratto per il corso di Elettronica II – I modulo del Corso di Laurea in Ingegneria Elettronica – Sede di Latina, Università di Roma “Sapienza”. Tutore per il corso di Elettronica per Ingegneria Gestionale, Università di Roma “Sapienza”.
A.A. 2011-2012	Professore a contratto per il corso di Elettronica II – 6 crediti – del Corso di Laurea in Ingegneria Elettronica – Sede di Latina, Università di Roma “Sapienza”.
A.A. 2012-2013	Professore a contratto per il corso di Elettronica II – 6 crediti – del Corso di Laurea in Ingegneria Elettronica – Sede di Latina, Università di Roma “Sapienza”.
A.A. 2014-2015	Professore a contratto per il corso di Elettronica II – 6 crediti – del Corso di Laurea in Ingegneria Elettronica – Sede di Latina, Università di Roma “Sapienza”.
A.A. 2015-2016	Professore a contratto per il corso di Misure elettriche ed elettroniche – 1 credito – del Corso di Laurea in Tecniche di radiologia medica, per immagini e radioterapia – Sede di Sora, Università di Roma “Sapienza”.

A.A. 2015-2016	Professore a contratto per il corso di Elettronica II – 6 crediti – del Corso di Laurea in Ingegneria Elettronica – Sede di Latina, Università di Roma “Sapienza”.
A.A. 2016-2017	Professore a contratto per il corso di Elettronica II – 3 crediti – del Corso di Laurea in Ingegneria Elettronica – Sede di Latina, Università di Roma “Sapienza”.
A.A. 2017-2018	Professore a contratto per il corso di Elettronica II – 3 crediti – del Corso di Laurea in Ingegneria Elettronica – Sede di Latina, Università di Roma “Sapienza”.
A.A. 2018-2019	Professore a contratto per il corso di Misure Elettriche – 6 crediti – del Corso di Laurea in Ingegneria Elettronica – Sede di Latina, Università di Roma “Sapienza”.
A.A. 2018-2019	Professore a contratto per il corso di Elettronica II – 6 crediti – del Corso di Laurea in Ingegneria Elettronica – Sede di Latina, Università di Roma “Sapienza”.

CORSI IN DOTTORATO

Ha tenuto il corso per gli studenti di dottorato “Digital calibration of analog, mixed-signal and radio-frequency systems”, della durata di dieci ore, presso il Dipartimento di Ingegneria dell’Informazione, Elettronica e delle Telecomunicazioni dell’Università di Roma Sapienza, nel Febbraio 2018.

LEZIONI TENUTE E PARTECIPAZIONI A COMMISSIONI D’ESAME

A partire dall’Anno Accademico 2004-2005 fino ad oggi, sono state fatte lezioni ed esercitazioni, partecipato a commissioni di esame per lauree e lauree specialistiche, e seguito tesisti di primo e secondo livello e dottorandi.

I corsi in cui si sono fatte lezioni o si è partecipato alle sessioni di esame sono stati:

- Elettronica II, Corso di Laurea in Ingegneria Elettronica, Università di Roma “Sapienza” (prof. Marietti, poi prof. Trifiletti)
- Elettronica analogica con applicazioni, Corso di Laurea specialistica in Ingegneria Elettronica, Università di Roma “Sapienza” (prof. Trifiletti)
- Progettazione dei circuiti integrati, Corso di Laurea specialistica in Ingegneria Elettronica, Università di Roma “Sapienza” (prof. Trifiletti)
- Strumentazione e misure elettroniche, Corso di Laurea specialistica in Ingegneria Elettronica, Università di Roma “Sapienza” (prof. Marietti)
- Elettronica I, Corso di Laurea in Ingegneria Elettronica, Università di Roma “Sapienza” (prof. Palma)
- Elettronica, Corso di Laurea in Ingegneria Gestionale, Università di Roma “Sapienza” (prof. Centurelli)
- Elettronica satellitare, Corso di Laurea specialistica in Ingegneria Aeronautica, Università di Roma “Sapienza” (prof. Tommasino)
- Teoria dei circuiti elettronici, Corso di Laurea specialistica in Ingegneria Elettronica, Università di Roma “Sapienza” (prof. Scotti)

- Elettronica digitale, Corso di Laurea in Ingegneria Elettronica, Università di Roma “Sapienza”, sede di Latina (prof. Scotti)
- Misure elettriche, Corso di Laurea in Ingegneria dell’Informazione, Università di Roma “Sapienza”, sede di Latina (prof. Trifiletti)
- Elettronica applicata, Corso di Laurea in Ingegneria Elettrica, Università di Roma “Sapienza” (prof. Tommasino)
- Elettronica dei sistemi a banda frazionale stretta, Corso di Laurea specialistica in Ingegneria Elettronica, Università di Roma “Sapienza” (prof. Marietti)

PRINCIPALI COLLABORAZIONI SCIENTIFICHE

- Prof. Salvatore Pennisi, Dipartimento di Ingegneria Elettrica Elettronica e Informatica, Università degli studi di Catania;
- Prof. Giuseppe Ferri, Dipartimento di Ingegneria Industriale e dell’Informazione, Università degli studi dell’Aquila;
- Prof. Vincenzo Stornelli, Dipartimento di Ingegneria Industriale e dell’Informazione, Università degli studi dell’Aquila;
- Prof. Leopoldo Angrisani, Dipartimento di Ingegneria Elettrica e delle Tecnologie dell’Informazione dell’Università di Napoli Federico II
- Prof. Mauro D’Arco, Dipartimento di Ingegneria Elettrica e delle Tecnologie dell’Informazione dell’Università di Napoli Federico II
- Prof. Trond Ytterdal, Norges Teknisk-Naturvitenskapelige Universitet, Trondheim, Norvegia
- Prof. Andreas Thiede, University of Paderborn, Paderborn, Germania

PARTECIPAZIONE A COMITATI EDITORIALI

Lo scrivente è “Associate Editor” per la rivista “Journal of Circuits, Systems and Computers”, edita da World Scientific ed indicizzata su Scopus.

Lo scrivente ha effettuato attività di peer review per le seguenti riviste:

- IEEE Transactions on Circuits and Systems II (IEEE TCAS II)
- IET Circuits, Devices, and Systems (IET CDS)
- Springer Analog Integrated Circuits and Signal Processing (AICSP)
- AEÜ International Journal of Electronics and Communications (IJEC)
- World Scientific: Journal of Circuits, Systems, and Computers (JCSC)

Lo scrivente ha effettuato attività di peer review per le seguenti conferenze internazionali:

- IEEE European Conference on Circuit Theory and Design 2017 (ECCTD 2017)

ATTIVITÀ DI RICERCA

L'attività di ricerca svolta a partire da settembre 2004 ha riguardato inizialmente aspetti progettuali e metodologici inerenti la progettazione di convertitori analogico-digitali di tipo pipeline a basso consumo e di elevata precisione. In particolare si è affrontato il tema della progettazione di circuiti low-voltage, la caratterizzazione comportamentale dei blocchi mixed-signal, e la simulazione e la validazione di tecniche di calibrazione digitale in background, con una particolare attenzione alla modellazione statistica per la stima della resa.

Successivamente l'interesse si è concentrato sulla calibrazione dei convertitori time-interleaved, sulla calibrazione non-lineare di front-end analogici quali i SHA, e degli ADC, e sugli algoritmi RLS a bassa complessità.

La calibrazione, lineare o nonlineare, di TI-ADC, ADC e ricevitori è ad oggi il tema principale, inclusa l'analisi delle nuove architetture di Asynchronous Time Interleaving (ATI). In contemporanea si stanno investigando vari blocchi funzionali analogici low-power low-voltage in classe AB.

In tutto sono stati finora pubblicati 69 lavori, di cui 29 su riviste internazionali.

Circuiti low-voltage low-power

L'area di ricerca di circuiti low-voltage e low-power, cioè a bassa tensione di alimentazione e a basso consumo di potenza, sta diventando sempre più importante con lo scaling dei dispositivi CMOS, che riduce le tensioni di alimentazione disponibili, e con la diffusione di sistemi portatili, che devono consumare poco in quanto alimentati a batteria.

In questo ambito sono state proposte diverse topologie di amplificatori operazionali a bassa tensione e a basso consumo di potenza [R1, R5, R6, R9, R28, R29, R31, C1, C8, C9], di blocchi funzionali più complessi come i Sample & Hold (S/H) [R7], e di altri blocchi funzionali quali le transconduttanze [R2, C3, C7], transimpedenze [C12], buffer in classe AB [C17, C25].

Molti di questi lavori hanno approfondito l'uso del body dei dispositivi CMOS per controllare il punto di lavoro (corrente o tensione di modo comune) degli amplificatori, ma anche per creare loop di reazione per migliorare le prestazioni di guadagno o linearità. In questi circuiti il body dei CMOS diventa parte attiva dell'elaborazione del segnale: mentre il guadagno di transconduttanza dovuto all'effetto body è limitato, usare il terminale di body ha il vantaggio di non poter operare a bassa tensione di alimentazione.

Sono state inoltre proposte e analizzate topologie di amplificatore di elevata precisione ottenuti mediante reazione attiva [R4, C5, C15], e reazione positiva [C10]. Nel primo caso si sono usati due amplificatori operazionali, uno in catena diretta e uno sulla catena di reazione, per cancellare al prim'ordine l'errore di guadagno ad anello chiuso provocato dal guadagno finito ad anello aperto. Nell'altro la reazione positiva ha consentito di eliminare parte della resistenza di uscita, aumentando il guadagno effettivo del dispositivo.

Particolare attenzione è stata data al proporre nuovi blocchi funzionali in classe AB [R23, R24, R25, R31, C14, C17, C25, C31, C33, C34], che permettono elevate velocità con bassi consumi di potenza, e allo studio di strutture CMFB per amplificatori in classe AB [R16]. Gli amplificatori in classe AB possono pilotare carichi capacitivi con tempi di salita minori e a consumi di potenza inferiori.

Allo stato attuale si stanno sviluppando funzioni low-voltage e low-power per S/H e convertitori pipeline, analizzando topologie innovative per buffer, OTA e CMFB in tecnologie CMOS avanzate. Una collaborazione con l'Università di Trondheim (Norvegia) ha riguardato inoltre la progettazione di convertitori low-power per applicazioni biomedicali.

Modelli comportamentali e metodologie di progetto

Le tecniche di calibrazione digitale sono fondamentali per migliorare le prestazioni di accuratezza dei convertitori A/D pipeline e time-interleaved, soprattutto quando si impiegano tecnologie CMOS

spinte, caratterizzate da basso guadagno degli amplificatori e, nei progetti low-power, piccole dimensioni dei dispositivi. Purtroppo, le tecniche di calibrazione digitale in background richiedono lunghi periodi di simulazione e ciò rende impossibile l'impiego di simulatori accurati, che operano a livello di circuito, quali Spectre o Spice.

Per questo motivo, si è lavorato sulla modellazione comportamentale degli switch CMOS [C4], sull'analisi a livello di sistema delle non-idealità analogiche ai fini della stima della linearità e della resa [C6], a modelli comportamentali accurati per gli stadi MDAC [R8], in grado di tener conto delle variazioni delle condizioni operative, di processo e di mismatch del dispositivo integrato, e di migliorare il flusso di progetto ai fini di poter prevedere tramite simulazioni le prestazioni del sistema dopo la calibrazione, in modo da stimare la resa del progetto e confrontare i vari algoritmi di calibrazione e le varie scelte di progetto. La modellizzazione degli effetti memoria e di quelli non-lineari, e a maggior ragione di quelli non-lineari e con memoria, è fondamentale per correggere gli errori nei convertitori pipeline ad alta velocità di clock e con ampie bande di ingresso. Dato che i parametri di questi modelli dipendono da temperatura e alimentazione, modellizzare l'andamento di questi con le condizioni operative è fondamentale per capire l'efficacia dei sistemi di calibrazione in background in applicazioni reali.

Anche la modellizzazione del bandwidth mismatch per convertitori time-interleaved è stata oggetto di studio [R14], confrontando tra loro i modelli di letteratura e proponendo dei modelli estesi per applicazioni subsampling. Facendo estensivamente uso del teorema del campionamento generalizzato di Papoulis si sono inoltre realizzati modelli comportamentali dei convertitori time-interleaved adatti per testare le prestazioni delle tecniche di calibrazione.

Infine, l'architettura nota come Asynchronous Time Interleaving (ATI), in grado di aumentare sia la banda analogica che la frequenza di campionamento del sistema, è stata analizzata ed un modello comportamentale degli errori e di correzione di questi in post-processing è stato proposto, inclusi due modelli per sistemi a quattro canali [R27, C30, C39, C40].

Tecniche di calibrazione digitale in background di ADC pipeline e Time-Interleaved

Le tecniche di calibrazione veloci sono molto importanti perché consentono di ridurre di uno o due ordini di grandezza i tempi di calibrazione dei convertitori A/D.

Si è proposta una nuova tecnica di calibrazione veloce per i convertitori A/D pipeline [R3]. Il problema fondamentale delle tecniche di calibrazione più diffuse è che l'errore da misurare ha un'energia molto inferiore al segnale, e quindi la sua stima è lenta e rumorosa. La soluzione classica è separare in due parti simmetriche (split-ADC) l'elaborazione in modo da cancellare il segnale (che diventa di modo comune) dall'errore da stimare, che è reso di modo differenziale. La soluzione proposta è stata quella di separare spettralmente il segnale e le sequenze pseudo-random usate per stimare l'errore usando generatori pseudo-casuali correlati. La tecnica proposta è compatibile con lo split-ADC ma può essere usata indipendentemente, inoltre è molto più semplice da implementare.

Inoltre si sono sviluppati algoritmi per la calibrazione in background di convertitori A/D di tipo time interleaved in grado di correggere gli errori di temporizzazione, offset, guadagno e banda, e gli errori di linearità dei singoli stadi [R10, R11, R17, R22, C18, C37]. Si è partiti da un modello semplice e stimabile con bassi costi computazionali, per poi estendere il modello per avere maggiore accuratezza al costo di un aumento della complessità computazionale. Si è mostrato che facendo sviluppi di Taylor di funzioni complesse Hermitiane è possibile ottenere una base di funzioni più accurata per esprimere i filtri di calibrazione, ottenendo maggiori prestazioni a parità di complessità computazionale [R17]. Un ulteriore miglioramento è stato reso possibile dall'analisi dei filtri di correzione ideali in base alla teoria del campionamento generalizzato di Papoulis [R22].

Di recente sono iniziate attività sulla calibrazione di ricevitori beam-forming [C20] e sull'uso di modelli di Volterra per la calibrazione di SHA e ADC [R15, R20, C27]. Nei ricevitori beam-forming, asimmetrie nella risposta in frequenza dei canali causano perdite di process gain e direttività, e un aumento dei sidelobes. Di norma questi si correggono equalizzando il guadagno e lo sfasamento dei canali, ma ciò è sufficiente solo se il segnale RF è a banda sufficientemente stretta e

i canali non sono selettivi in frequenza. Si stanno studiando modelli per calibrare i ricevitori beam-forming a banda larga. Per quanto riguarda SHA e ADC, si stanno investigando tecniche di calibrazione tramite modelli di Volterra o generalizzazioni di questi più adatti ai convertitori pipeline. Il problema principale è la complessità algoritmica data dall'elevato numero di coefficienti, e si è affrontato il problema tramite una tecnica di pruning iterativa in grado di ridurre la complessità di un fattore due o più a parità di linearità.

Un nuovo algoritmo ai minimi quadrati a bassa complessità è stato ottenuto, e testato per accuratezza e velocità di convergenza, usando il teorema di Frisch Waugh Lovell [R19, C35]. Nuovi algoritmi adattativi a bassa complessità sono sotto indagine per ridurre il costo computazionale delle tecniche di calibrazione [C36].

Tecniche di progettazione di filtri analogici

L'ottimizzazione della sintesi di filtri analogici integrati, spesso usati per eliminare l'aliasing nei convertitori A/D, è importante per ridurre i consumi dei ricevitori. Le principali difficoltà sono i bassi valori di fattore di merito realizzabili nelle tecnologie integrate, che limitano la possibilità di sintetizzare filtri molto selettivi quali i filtri di Chebyshev, e la necessità di controllare le frequenze dei poli che possono variare notevolmente sotto processo. L'ottimizzazione del progetto di filtri anti-aliasing ottenuti cascando molteplici stadi a basso Q dal punto di vista del rumore è stato il focus di diversi lavori [R13, C13, C19]. Inoltre si è sviluppata una metodologia per ottimizzare il posizionamento dei poli dei filtri per applicazioni anti-aliasing [C26].

Algoritmi per sistemi di calcolo parallelo

Infine si sono realizzati algoritmi radar e di altro tipo su sistemi hardware di tipo GPU. Le schede video, o GPU, sono oggi sistemi di calcolo parallelo con migliaia di unità di calcolo e potenze computazionali superiori al Teraflop, che si possono programmare con estensioni del C come CUDA e OpenCL. Su sistemi Nvidia programmabili in CUDA sono stati realizzati algoritmi radar [C22], e modelli di canale per emulatori di link. Con potenze di calcolo superiori di anche due ordini di grandezza rispetto alle CPU, il potenziale delle GPU per il calcolo ad alte prestazioni è notevole. Investigare i limiti dell'hardware e selezionare gli algoritmi più parallelizzabili è quindi fondamentale per il porting di algoritmi che un tempo non potevano essere eseguiti su un singolo PC. Problematiche di sincronizzazione, latenza, larghezza dei bus ed efficienza di alcuni algoritmi sono tipiche di questi sistemi e un progetto deve quindi tener conto di molti fattori per sfruttare al massimo le risorse.

ATTIVITÀ DI PROGETTO

Durante il corso del dottorato e i contratti di ricerca seguenti, lo scrivente ha partecipato allo sviluppo di alcuni circuiti integrati in tecnologia basata su silicio, per applicazioni di microelettronica analogica e RF; e ad analisi di sistema di e di algoritmi per sistemi di comunicazione satellitari, radar, e sonar.

Nell'ambito di un contratto di ricerca tra Ericsson Lab Italy e il Dipartimento di Ingegneria Elettronica, nel 2005 lo scrivente ha contribuito al progetto di un filtro passa-basso a tempo continuo per comunicazioni numeriche su portante a onde millimetriche. Il contributo ha riguardato l'analisi, il progetto e la simulazione delle celle biquad del filtro a tempo continuo e del driver di uscita.

Nell'ambito di un contratto di ricerca tra Elettronica S.P.A. e il Dipartimento di Ingegneria Elettronica, nel 2008 lo scrivente ha contribuito all'analisi e al progetto di un campionatore di fase integrato. Il contributo fornito ha riguardato l'analisi di sistema dello schema a blocchi implementato, e l'analisi e il progetto dei blocchi di conversione AD e DA.

Nell'ambito di un contratto di ricerca tra Thales Alenia Spazio e il Dipartimento di Ingegneria Elettronica è stato sviluppato un LNA in banda L.

Nell'ambito di un contratto di ricerca tra Space Engineering e il Dipartimento di Ingegneria Elettronica per un progetto finanziato da European Space Agency (ESA), si è contribuito allo sviluppo di un IC dedicato alle funzioni beam forming in banda X e Ku. Il contributo al progetto ha riguardato l'analisi di sistema, la progettazione dei blocchi, la simulazione dei blocchi e, nel caso del LNA, il disegno del layout e le simulazioni sotto variazioni parametriche.

Nel 2009-2010 lo scrivente si è recato presso la TNO de L'Aia (Olanda) e ha successivamente seguito un tesista che ha effettuato uno stage in loco. La collaborazione riguardava il progetto di un LNA, in banda X e Ku, con caratteristiche di elevata robustezza nei confronti di interferenti in ingresso ad alta potenza. Lo studio ha riguardato l'analisi del LNA, il suo dimensionamento, l'analisi delle caratteristiche di breakdown dei dispositivi ad alti livelli di potenza di ingresso, lo studio delle contromisure relative e la realizzazione del layout.

Nell'ambito di ricerche autonome del Dipartimento di Ingegneria Elettronica sono stati realizzati su silicio un convertitore analogico-digitale a 12 bit di tipo pipeline e un mixer attivo di ricezione con funzione di VGA integrata. I contributi dello scrivente hanno riguardato l'analisi di sistema, l'analisi e il progetto dei singoli blocchi, la loro simulazione circuitale, e il progetto di parti del layout.

Tramite una collaborazione con l'Università NTNU di Trondheim (Norvegia) ha contribuito al progetto di amplificatori di transimpedenza, amplificatori di tensione a guadagno variabile e convertitori AD pipeline a bassa potenza.

Si è inoltre lavorato nell'ambito dell'elaborazione numerica dei segnali, sviluppando algoritmi per sistemi radar su Graphics Processing Unit (GPU), e algoritmi di sincronizzazione per sistemi CDMA. Il processing del ricevitore radar è stato implementato su una singola GPU Nvidia usando il linguaggio di programmazione CUDA C. Il software ha come ingresso i campioni IF dei canali del ricevitore beam-forming campionati dall'ADC ed esegue: downconversion in banda base, pulse compression, amplitude & phase correction, beam-forming in direzioni multiple, l'analisi tempo-frequenza, e l'elaborazione CFAR per valutare il rapporto segnale-rumore dei potenziali target.

Nell'ambito di un contratto con Interconsulting si è lavorato allo studio delle specifiche e all'analisi Matlab degli algoritmi di un sonar passivo.

Nell'ambito di un contratto con Thales Alenia Spazio si è lavorato su un simulatore di link satellitare per emulare l'effetto sulle prestazioni del link delle varie non-idealità del canale e delle componenti RF del satellite. Una simile attività è in corso con MBDA.

Più di recente si sta lavorando, assieme a Thales Alenia Spazio, sulla stima di DOA tramite tecniche interferometriche e tramite l'algoritmo MUSIC; sulla calibrazione di ricevitori beam-forming; sulla cancellazione di interferenti tramite beam-forming. In prospettiva si lavorerà all'implementazione di questi algoritmi su hardware parallelo radiation hardened per applicazioni spaziali.

Inoltre si è lavorato a studi di fattibilità di convertitori A/D time-interleaved a decine di GSps basate su architetture miste fotonico-elettroniche, e a sistemi di localizzazione tramite misure bearing-only con particle filters.

ABILITAZIONE SCIENTIFICA NAZIONALE

Lo scrivente ha conseguito l'abilitazione da professore di seconda fascia il 28/8/2018, nel quinto trimestre del ciclo di abilitazione ASN 2016.

Secondo Scopus (al 7/1/2018) sono state pubblicate 30 riviste (di cui una in press) e 45 conferenze, Un altro lavoro ([R31]) è stato accettato ed è in via di pubblicazione.

Il totale delle riviste pubblicate finora è 32, con 425 citazioni e un H-index pari a 13.